



(12)发明专利申请

(10)申请公布号 CN 110622249 A

(43)申请公布日 2019.12.27

(21)申请号 201880029199.7

(74)专利代理机构 北京铭硕知识产权代理有限公司 11286

(22)申请日 2018.11.21

代理人 刘灿强 张川绪

(30)优先权数据

10-2017-0156821 2017.11.22 KR

(51)Int.Cl.

G11C 16/22(2006.01)

(85)PCT国际申请进入国家阶段日

G11C 16/14(2006.01)

2019.11.01

G11C 16/04(2006.01)

(86)PCT国际申请的申请数据

PCT/KR2018/014324 2018.11.21

(87)PCT国际申请的公布数据

WO2019/103445 KO 2019.05.31

(71)申请人 首尔大学校产学协力团

地址 韩国首尔市

(72)发明人 金志烘 金明奭

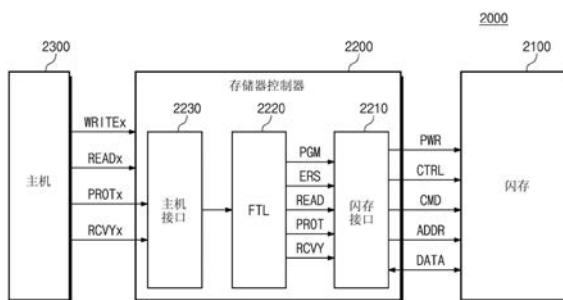
权利要求书3页 说明书15页 附图28页

(54)发明名称

通过对单元串的选择晶体管进行编程来保护数据的闪存装置和包括该闪存装置的数据存储装置

(57)摘要

根据本发明的一个实施例的闪存装置包括：选择晶体管，用于选择单元串；以及多个存储器单元，串联连接到选择晶体管，其中，选择晶体管可以被编程，使得选择晶体管的阈值电压变得高于未选择读取电压(Vread)，以保护存储在所述多个存储器单元中的至少一个中的数据。根据本发明的一个实施例的闪存可以通过调整选择晶体管或虚设存储器单元的阈值电压，来在短时间内永久地或临时地保护数据，并且在必要时容易地恢复原始数据而不丢失数据。



1. 一种闪存装置,包括:
选择晶体管,用于选择单元串;以及
多个存储器单元,串联连接到所述选择晶体管,
其中,所述选择晶体管被编程,使得所述选择晶体管的阈值电压高于未选择读取电压(Vread),以保护存储在所述多个存储器单元中的至少一个中的数据。
2. 根据权利要求1所述的闪存装置,其中,所述选择晶体管是连接在位线与所述多个存储器单元之间的串选择晶体管。
3. 根据权利要求1所述的闪存装置,其中,所述选择晶体管是连接在共源极线与所述多个存储器单元之间的地选择晶体管。
4. 根据权利要求1所述的闪存装置,其中,当所述选择晶体管被编程时,0V的电压被施加到分别连接到所述多个存储器单元的多条字线,并且用于将所述选择晶体管的阈值电压设置为高于所述未选择读取电压(Vread)的电压被施加到连接到所述选择晶体管的选择线。
5. 根据权利要求1所述的闪存装置,其中,为了恢复存储在所述多个存储器单元中的所述至少一个中的数据,在所述选择晶体管被擦除之后,所述选择晶体管被重新编程,使得所述选择晶体管的阈值电压被设置为初始状态。
6. 根据权利要求5所述的闪存装置,其中,当所述选择晶体管被擦除时,所述多个存储器单元的栅极处于浮置状态,0V被施加到连接到所述选择晶体管的选择线,并且擦除电压被施加到基底。
7. 根据权利要求5所述的闪存装置,其中,以ISPP方式执行对所述选择晶体管的重新编程。
8. 根据权利要求7所述的闪存装置,其中,当所述选择晶体管被重新编程时,0V的电压被施加到分别连接到所述多个存储器单元的多条字线,并且正常编程电压被提供给连接到所述选择晶体管的选择线。
9. 根据权利要求1所述的闪存装置,还包括:
虚设存储器单元,位于所述选择晶体管与所述多个存储器单元之间,并且
其中,所述虚设存储器单元被编程,使得所述虚设存储器单元的阈值电压高于所述未选择读取电压(Vread),以保护存储在所述多个存储器单元中的所述至少一个中的数据。
10. 根据权利要求9所述的闪存装置,其中,关于所述虚设存储器单元的擦除和重新编程操作被禁止。
11. 根据权利要求1所述的闪存装置,其中,所述选择晶体管和所述多个存储器单元沿垂直于基底的方向堆叠。
12. 一种数据存储装置,包括:
闪存,包括用于存储数据的存储器块;以及
存储器控制器,向所述闪存提供数据保护命令,以保护存储在所述存储器块中的数据,
其中,所述闪存对用于选择所述存储器块的单元串的选择晶体管进行编程,使得所述选择晶体管的阈值电压高于未选择读取电压(Vread)。
13. 根据权利要求12所述的数据存储装置,其中,所述闪存包括与所述选择晶体管串联连接的多个存储器单元,并且

其中,所述选择晶体管和所述多个存储器单元沿垂直于基底的方向堆叠并具有相同的单元结构。

14. 根据权利要求13所述的数据存储装置,其中,当所述闪存对所述选择晶体管进行编程时,所述闪存将0V的电压施加到分别连接到所述多个存储器单元的多条字线,并且将用于将所述选择晶体管的阈值电压设置为高于所述未选择读取电压(Vread)的电压施加到连接到所述选择晶体管的选择线。

15. 根据权利要求13所述的数据存储装置,其中,所述存储器控制器向所述闪存提供数据恢复命令,以恢复存储在所述多个存储器单元中的至少一个中的数据。

16. 根据权利要求15所述的数据存储装置,其中,为了恢复存储在所述多个存储器单元中的所述至少一个中的数据,所述闪存擦除所述选择晶体管,然后对所述选择晶体管重新编程,使得所述选择晶体管的阈值电压被设置为初始状态。

17. 根据权利要求16所述的数据存储装置,其中,当所述闪存擦除所述选择晶体管时,所述闪存将所述多个存储器单元的栅极设置为浮置状态,将0V施加到连接到所述选择晶体管的选择线,并且将擦除电压施加到基底。

18. 根据权利要求16所述的数据存储装置,其中,当所述闪存对所述选择晶体管重新编程时,所述闪存将0V的电压施加到分别连接到所述多个存储器单元的多条字线,并且将正常编程电压提供给连接到所述选择晶体管的选择线。

19. 根据权利要求13所述的数据存储装置,其中,所述闪存包括位于所述选择晶体管与所述多个存储器单元之间的虚设存储器单元,并且

其中,所述闪存对所述虚设存储器单元进行编程,使得所述虚设存储器单元的阈值电压高于所述未选择读取电压(Vread),以保护存储在所述多个存储器单元中的至少一个中的数据。

20. 根据权利要求19所述的数据存储装置,其中,所述闪存禁止关于所述虚设存储器单元的擦除和重新编程操作。

21. 一种数据存储装置,包括:

闪存,包括串联连接到位线的多个存储器单元;以及
存储器控制器,

其中,当用于读取存储在所述多个存储器单元中的第一存储器单元中的第一数据的地址从主机被接收到时,所述存储器控制器被配置为:在保护模式下向所述闪存提供数据保护命令,以保护存储在所述多个存储器单元中的数据并且在读取模式下向所述闪存提供读取命令,以读取存储在所述多个存储器单元中的数据,并且

其中,所述闪存被配置为:响应于所述数据保护命令,将电压施加到连接到所述多个存储器单元的多条字线和所述位线,使得与所述第一数据对应的第一电流不流过所述位线。

22. 根据权利要求21所述的数据存储装置,其中,响应于所述读取命令,所述闪存将选择读取电压施加到所述多条字线之中的与所述接收到的地址对应的选择的字线,将第一未选择读取电压施加到未被选择的字线中的每条,并且将第一预充电电压施加到所述位线。

23. 根据权利要求22所述的数据存储装置,其中,响应于所述数据保护命令,所述闪存将所述选择读取电压施加到所述选择的字线,将所述第一未选择读取电压施加到所述未被选择的字线中的每条,并且将小于所述第一预充电电压的第二预充电电压施加到所述位

线,并且

其中,当所述第二预充电电压被施加时,所述第一电流不流过所述位线。

24. 根据权利要求23所述的数据存储装置,其中,所述存储器控制器被配置为向所述主机返回数据读取失败消息。

25. 根据权利要求22所述的数据存储装置,其中,响应于所述数据保护命令,所述闪存将所述选择读取电压施加到所述选择的字线,将小于所述第一未选择读取电压的第二未选择读取电压施加到所述未被选择的字线中的每条,并且将所述第一预充电电压施加到所述位线,并且

其中,当所述第二未选择读取电压被施加时,所述第一电流不流过所述位线。

26. 根据权利要求25所述的数据存储装置,其中,所述存储器控制器被配置为向所述主机返回数据读取失败消息。

27. 根据权利要求21所述的数据存储装置,其中,当所述接收到的地址与预设地址匹配时,所述存储器控制器向所述闪存提供所述数据保护命令,并且当所述接收到的地址与所述预设地址不匹配时,所述存储器控制器向所述闪存提供所述读取命令。

通过对单元串的选择晶体管进行编程来保护数据的闪存装置 和包括该闪存装置的数据存储装置

技术领域

[0001] 本发明构思涉及半导体存储器装置,更具体地讲,涉及通过对选择晶体管进行编程来保护数据的闪存装置和包括该闪存装置的数据存储装置。

背景技术

[0002] 半导体存储器装置通常被分类为易失性存储器装置(诸如,DRAM或SRAM)和非易失性存储器装置(诸如,EEPROM、FRAM、PRAM、MRAM或闪存)。易失性存储器装置在电源断开时丢失存储在其中的数据,但是非易失性存储器装置即使电源断开也保留存储在其中的数据。特别地,闪存具有诸如高编程速度、低功耗和存储大量数据的优点。因此,包括闪存的数据存储装置正被广泛用作数据存储介质。

[0003] 闪存包括存储数据的存储器单元。字线WL与存储器单元的栅极连接,并且数据通过位线BL被提供给存储器单元。闪存包括用一组页实现的存储器块,每个页包括连接到一条字线的存储器单元(被称为“页”)。页是读取单元或写入单元,存储器块是擦除单元。在闪存中,通过使作为操作对象的存储器块的选择晶体管导通或截止来确定执行写入操作、读取操作还是擦除操作。

[0004] 闪存可根据用户的需要在意图销毁数据的情况下安全擦除实际数据。此外,在数据处于异常状态的情况下,闪存可执行安全编程操作,使得不可能进行正常恢复。同时,在读取操作中,闪存导通选择存储器块的串选择晶体管并截止未被选择的存储器块的串选择晶体管。这样,可根据串选择晶体管的导通/截止状态来确定是否对存储器块执行读取操作。

[0005] 传统的数据存储装置可执行写入操作,使得存储在闪存中的数据被擦除或不可能进行正常恢复。传统的闪存可能需要相对长的操作时间(例如,几秒或更长)来擦除存储在其中的数据或对存储在其中的数据进行编程。此外,一旦存储器单元被擦除和编程,在擦除之前存储的数据被永久丢失并且无法恢复。

[0006] 本发明的具体实施方式

[0007] 技术问题

[0008] 本发明构思提供在不改变硬件的情况下容易地保护和恢复数据的闪存装置和包括该闪存装置的数据存储装置。

[0009] 技术方案

[0010] 根据本发明构思的实施例的闪存装置可包括:选择晶体管,用于选择单元串;以及多个存储器单元,串联连接到所述选择晶体管。所述选择晶体管可被编程,使得所述选择晶体管的阈值电压高于未选择读取电压(Vread),以保护存储在所述多个存储器单元中的至少一个中的数据。

[0011] 作为实施例,所述选择晶体管可以是连接在位线与所述多个存储器单元之间的串选择晶体管。可选地,所述选择晶体管可以是连接在共源极线与所述多个存储器单元之间

的地选择晶体管。

[0012] 作为实施例,当所述选择晶体管被编程时,0V的电压可被施加到分别连接到所述多个存储器单元的多条字线,并且用于将所述选择晶体管的阈值电压设置为高于所述未选择读取电压(Vread)的电压可被施加到连接到所述选择晶体管的选择线。

[0013] 作为实施例,为了恢复存储在所述多个存储器单元中的所述至少一个中的数据,在所述选择晶体管被擦除之后,所述选择晶体管可被重新编程,使得所述选择晶体管的阈值电压被设置为初始状态。当所述选择晶体管被擦除时,所述多个存储器单元的栅极可处于浮置状态,0V可被施加到连接到所述选择晶体管的选择线,并且擦除电压可被施加到基底。

[0014] 作为实施例,可以以ISPP方式执行对所述选择晶体管的重新编程。当所述选择晶体管被重新编程时,0V的电压可被施加到分别连接到所述多个存储器单元的多条字线,并且正常编程电压可被提供给连接到所述选择晶体管的选择线。

[0015] 作为实施例,闪存装置可包括:虚设存储器单元,位于所述选择晶体管与所述多个存储器单元之间,并且所述虚设存储器单元可被编程,使得所述虚设存储器单元的阈值电压高于所述未选择读取电压(Vread),以保护存储在所述多个存储器单元中的所述至少一个中的数据。关于所述虚设存储器单元的擦除和重新编程操作可被禁止。所述选择晶体管和所述多个存储器单元沿垂直于基底的方向堆叠。

[0016] 本发明构思的另一方面可包括:闪存,包括用于存储数据的存储器块;以及存储器控制器,向所述闪存提供数据保护命令,以保护存储在所述存储器块中的数据。所述闪存可对用于选择所述存储器块的单元串的选择晶体管进行编程,使得所述选择晶体管的阈值电压高于未选择读取电压(Vread)。

[0017] 作为实施例,所述闪存可包括与所述选择晶体管串联连接的多个存储器单元,所述选择晶体管和所述多个存储器单元可沿垂直于基底的方向堆叠并且具有相同的单元结构。当所述闪存对所述选择晶体管进行编程时,所述闪存将0V的电压施加到分别连接到所述多个存储器单元的多条字线,并且将用于将所述选择晶体管的阈值电压设置为高于所述未选择读取电压(Vread)的电压施加到连接到所述选择晶体管的选择线。

[0018] 所述存储器控制器可向所述闪存提供数据恢复命令,以恢复存储在所述多个存储器单元中的至少一个中的数据。

[0019] 为了恢复存储在所述多个存储器单元中的所述至少一个中的数据,所述闪存可擦除所述选择晶体管,然后可对所述选择晶体管重新编程,使得所述选择晶体管的阈值电压被设置为初始状态。

[0020] 当所述闪存擦除所述选择晶体管时,所述闪存可将所述多个存储器单元的栅极设置为浮置状态,可将0V施加到连接到所述选择晶体管的选择线,并且可将擦除电压施加到基底。当所述闪存对所述选择晶体管重新编程时,所述闪存可将0V的电压施加到分别连接到所述多个存储器单元的多条字线,并且可将正常编程电压提供给连接到所述选择晶体管的选择线。

[0021] 作为实施例,所述闪存可包括位于所述选择晶体管与所述多个存储器单元之间的虚设存储器单元,并且所述闪存可对所述虚设存储器单元进行编程,使得所述虚设存储器单元的阈值电压高于所述未选择读取电压(Vread),以保护存储在所述多个存储器单元中

的至少一个中的数据。所述闪存可禁止关于所述虚设存储器单元的擦除和重新编程操作。

[0022] 根据本发明构思的实施例的数据存储装置包括：闪存，包括串联连接到位线的多个存储器单元；以及存储器控制器。当用于读取存储在所述多个存储器单元中的第一存储器单元中的第一数据的地址从主机被接收到时，所述存储器控制器可被配置为：在保护模式下向所述闪存提供数据保护命令，以保护存储在所述多个存储器单元中的数据，并且在读取模式下向所述闪存提供读取命令，以读取存储在所述多个存储器单元中的数据，并且所述闪存被配置为：响应于所述数据保护命令，将电压施加到连接到所述多个存储器单元的多条字线和所述位线，使得与所述第一数据对应的第一电流不流过所述位线。

[0023] 作为实施例，响应于所述读取命令，所述闪存可将选择读取电压施加到所述多条字线之中的与所述接收到的地址对应的选择的字线，可将第一未选择读取电压施加到未被选择的字线中的每条，并且可将第一预充电电压施加到所述位线。

[0024] 作为实施例，响应于所述数据保护命令，所述闪存可将所述选择读取电压施加到所述选择的字线，可将所述第一未选择读取电压施加到所述未被选择的字线中的每条，并且可将小于所述第一预充电电压的第二预充电电压施加到所述位线。当所述第二预充电电压被施加时，所述第一电流可不流过所述位线。

[0025] 作为实施例，所述存储器控制器可被配置为向所述主机返回数据读取失败消息。

[0026] 作为实施例，响应于所述数据保护命令，所述闪存可将所述选择读取电压施加到所述选择的字线，可将小于所述第一未选择读取电压的第二未选择读取电压施加到所述未被选择的字线中的每条，并且可将所述第一预充电电压施加到所述位线。当所述第二未选择读取电压被施加时，所述第一电流可不流过所述位线。

[0027] 作为实施例，所述存储器控制器可被配置为向所述主机返回数据读取失败消息。

[0028] 作为实施例，当所述接收到的地址与预设地址匹配时，所述存储器控制器可向所述闪存提供所述数据保护命令，并且当所述接收的地址与所述预设地址不匹配时，所述存储器控制器可向所述闪存提供所述读取命令。

[0029] 本发明的有益效果

[0030] 根据本发明构思的实施例的闪存可调整选择晶体管或虚设存储器单元的阈值，从而在短时间内永久地或临时地保护数据，并且在必要时容易地恢复原始数据而不丢失数据。

附图说明

[0031] 图1是示出包括闪存的数据存储装置的框图。

[0032] 图2是示出图1中所示的闪存的框图。

[0033] 图3是示出图2中所示的存储器块BLK1的三维结构的立体图。

[0034] 图4是图3中所示的存储器块BLK1的等效电路。

[0035] 图5是示出图3中所示的闪存的存储器块的电路图。

[0036] 图6是示出图5中所示的闪存的编程偏置条件的时序图。

[0037] 图7是示出被执行编程操作且连接到选择的字线WL2的存储器单元的阈值电压分布的图。

[0038] 图8是示出根据本发明构思的实施例的用户装置的框图。

- [0039] 图9至图11示出通过图8中所示的闪存的SST编程的数据保护方法。
- [0040] 图12和图13示出图9中所示的闪存2100的SST擦除偏置条件。
- [0041] 图14是示出在SST擦除操作被执行之后连接到串选择线SSL的串选择晶体管的阈值电压分布的图。
- [0042] 图15和图16示出图9中所示的闪存2100的SST重新编程偏置条件。
- [0043] 图17是示出在执行SST重新编程操作之后连接到串选择线SSL的串选择晶体管的阈值电压分布的图。
- [0044] 图18至图20示出通过图8中所示的闪存的SST和DMC编程的永久数据保护方法。
- [0045] 图21是示出其中图8的存储器控制器2200在数据读取操作中保护数据的操作的流程图。
- [0046] 图22示出闪存2100的针对图21的正常读取操作的操作。
- [0047] 图23和图24示出闪存2100的针对图21的数据保护操作的操作。
- [0048] 图25示出其中根据本发明构思的实施例的数据存储装置应用于存储卡的示例。
- [0049] 图26是示出根据本发明构思的实施例的数据存储装置应用于固态驱动器 (SSD) 的示例的框图。
- [0050] 图27是示出图26中所示的SSD控制器4210的配置的框图。
- [0051] 图28是示出其中根据本发明构思的实施例的数据存储装置应用在电子装置中的示例的框图。
- [0052] 实施本发明构思的方式
- [0053] 下面,可详细并清楚地描述本发明构思的实施例,以达到本领域普通技术人员容易地实现本发明构思的程度。
- [0054] I、包括闪存的数据存储装置
- [0055] 图1是示出包括闪存的数据存储装置的框图。参照图1,数据存储装置1000可包括闪存1100和存储器控制器1200。数据存储装置1000可包括基于闪存1100的任何数据存储介质(诸如,存储卡、USB存储器、eMMC、UFS或SSD等)。
- [0056] 闪存1100可在存储器控制器1200的控制下执行擦除操作、写入操作或读取操作。为此,可通过电源线将电力PWR提供给闪存1100,并且可通过输入/输出线I/O将命令CMD、地址ADDR和数据“DATA”提供给闪存1100。闪存1100可从存储器控制器1200接收编程命令和地址,并且可将数据“DATA”存储在选择的页中。闪存1100可接收读取命令,并且可将从选择的页读取的数据提供给存储器控制器1200。
- [0057] 当将数据存储存储在闪存1100中或从闪存1100读取数据时,存储器控制器1200使用指定的协议方式或NAND闪存接口方式。存储器控制器1200将数据提供给输入/输出线I/O,并且闪存1100基于通过控制线输入的控制信号CTRL来识别命令CMD、地址ADDR或数据“DATA”。控制信号CTRL可包括命令锁存使能(CLE)信号、地址锁存使能(ALE)信号、芯片使能(nCE)信号、写入使能(nWE)信号、读取使能(nRE)信号等。
- [0058] 图2是示出图1中所示的闪存的框图。参照图2,闪存1100可包括存储器单元阵列1110、地址解码器1120、页缓冲器电路1130、数据输入/输出(I/O)电路1140、电压发生器1150和控制逻辑1160。
- [0059] 存储器单元阵列1110可包括多个存储器块BLK1至BLKz。每个存储器块可具有三维

结构(或垂直结构)。具有二维结构(或水平结构)的存储器块的存储器单元沿平行于基底的方向形成。然而,具有三维结构的存储器块的存储器单元沿垂直于基底的方向形成。

[0060] 每个存储器块包括多个页。多个存储器单元可连接到一条字线。连接到一条字线并且同时被编程的一组存储器单元被称为“页”。闪存1100可以以存储器块为单位执行擦除操作,并且可以以页为单位执行写入操作或读取操作。

[0061] 每个存储器单元可存储一个数据位或两个或更多个数据位。能够存储一个位的存储器单元被称为“单层单元”(SLC)或“单个位单元”。能够存储两个或更多个位的存储器单元被称为“多层单元”(MLC)或“多个位单元”。

[0062] 地址解码器1120通过选择线SSL和GSL或字线WL连接到存储器单元阵列1110。地址解码器1120被提供有来自电压发生器1150的字线电压VWL,并且由控制逻辑1160控制。地址解码器1120在编程操作或读取操作中选择字线。编程电压或读取电压被提供给选择的字线。

[0063] 页缓冲器电路1130通过位线BL与存储器单元阵列1110连接。页缓冲器电路1130可包括多个页缓冲器(未示出)。一个页缓冲器可与一条位线连接,或者可与两条或更多条位线连接。页缓冲器电路1130可临时存储将在选择的页中被编程的数据或从选择的页读取的数据。

[0064] 数据输入/输出电路1140通过数据线DL与页缓冲器电路1130内部地连接,并且通过输入/输出线与存储器控制器1200(参照图1)外部地连接。数据输入/输出电路1140在编程操作中被提供有来自存储器控制器1200的编程数据,并且在读取操作中将读取数据提供给存储器控制器1200。

[0065] 电压发生器1150可被提供有来自存储器控制器1200的电力PWR,并且可产生读取数据或写入数据所需的字线电压VWL。字线电压VWL被提供给地址解码器1120。电压发生器1150可产生高于电源电压Vcc的高电压(HV)。高电压可用作编程电压Vp_{gm}或通过电压V_{pass}。

[0066] 继续参照图2,电压发生器1150可包括Vp_{gm}发生器1151、V_{pass}发生器1152和Vs1发生器1153。Vp_{gm}发生器1151产生将在编程操作中提供给选择的字线的编程电压Vp_{gm}。编程电压Vp_{gm}可随着编程循环的进行而增大。V_{pass}发生器1152产生将在编程操作中提供给选择的字线和未被选择的字线的通过电压V_{pass}。通常,即使编程循环重复,通过电压V_{pass}也被保持为一致。Vs1发生器1153产生将被提供给串选择线SSL或地选择线GSL的选择线电压。

[0067] 控制逻辑1160可通过使用命令CMD、地址ADDR和控制信号CTRL来控制闪存1100的编程操作、读取操作和擦除操作。例如,在编程操作中,控制逻辑1160可控制地址解码器1120,使得编程电压Vp_{gm}被提供给选择的字线,并且控制逻辑1160可控制页缓冲器电路1130和数据输入/输出电路1140,使得编程数据被提供给选择的页。

[0068] 图3是示出图2中所示的存储器块BLK1的三维结构的立体图。参照图3,存储器块BLK1可沿垂直于基底SUB的方向形成。n⁺掺杂区形成在基底SUB中。栅电极层和绝缘层可交替地沉积在基底SUB上。

[0069] 信息存储层可形成在栅电极层与绝缘层之间。信息存储层可包括隧道绝缘层、电荷存储层和阻挡绝缘层。

[0070] 当栅电极层和绝缘层沿垂直方向被图案化(垂直图案化)时,V形柱被形成。柱穿过

栅电极层和绝缘层与基底SUB连接。柱的内部可以是填充电介质图案,并且可由诸如氧化硅的绝缘材料形成。柱的外部可以是垂直有源图案,并且可由沟道半导体形成。

[0071] 存储器块BLK1的栅电极层可连接到地选择线GSL、多条虚设字线DWL1和DWL2、多条字线WL1至WL_n以及串选择线SSL。此外,存储器块BLK1的柱可连接到多条位线BL1至BL3。

[0072] 参照图3,存储器块BLK1可包括虚设字线DWL。虚设字线DWL用于保护字线WL并且用于使存储器单元的图案均匀。第一虚设字线DWL1置于地选择线GSL与第一字线WL1之间,第二虚设字线DWL2置于串选择线SSL与第n字线WL_n之间。

[0073] 图4是图3中所示的存储器块BLK1的等效电路。参照图4,NAND串NS11至NS33连接在共源极线CSL与位线BL1至BL3之间。每个NAND串(例如,NS11)包括地选择晶体管GST、多个存储器单元MC1至MC_n、多个虚设存储器单元DMC1和DMC2、串选择晶体管SST。这里,NAND串可被称为“单元串”。

[0074] 串选择晶体管SST连接到串选择线SSL。串选择线SSL可被划分为第一串选择线SSL1至第三串选择线SSL3。多个存储器单元MC1至MC_n分别连接到对应的字线WL1至WL_n。多个虚设存储器单元DMC1和DMC2连接到对应的虚设字线DWL1和DWL2。具有相同高度的字线(例如,WL2)被共同地连接。地选择晶体管GST连接到地选择线GSL。各个单元串的地选择线GSL被连接。串选择晶体管SST连接到位线BL,地选择晶体管GST连接到共源极线CSL。

[0075] 继续参照图4,存储器块BLK1的存储器单元MC可包括虚设存储器单元DMC。虚设存储器单元DMC连接到虚设字线DWL(参照图3)。第一虚设存储器单元DMC1连接到第一虚设字线DWL1,并且连接在地选择晶体管GST与第一存储器单元MC1之间。第二虚设存储器单元DMC2连接到第二虚设字线DWL2,并且连接在串选择晶体管SST与第n存储器单元MC_n之间。

[0076] 图5是示出图3中所示的闪存的存储器块的电路图。通过多个块选择晶体管BST来选择闪存1100的存储器块BLK1。块选择晶体管BST可用能够承受施加到其栅极或漏极的高电压的高压晶体管来实现。在选择存储器块BLK1的情况下,高电压VPP施加到块选择晶体管BST的栅极。

[0077] 存储器块BLK1包括分别连接到第一位线BL1至第m位线BL_m的“m”个单元串。连接到第一位线BL1的单元串包括串选择晶体管SST、多个存储器单元MC1至MC_n、多个虚设存储器单元DMC1和DMC2以及地选择晶体管GST,串选择晶体管SST连接到串选择线SSL,多个存储器单元MC1至MC_n连接到多条字线WL1至WL_n,多个虚设存储器单元DMC1和DMC2连接到多条虚设字线DWL1和DWL2,地选择晶体管GST连接到地选择线GSL。串选择晶体管SST连接到位线BL1,地选择晶体管GST连接到共源极线CSL。

[0078] 图6是示出图5中所示的闪存的编程偏置条件的时序图。参照图5和图6,在编程操作中,0V施加到与作为编程操作对象的存储器单元(在下文中被称为“编程单元”)连接的位线BL1,并且电源电压V_{cc}施加到与不作为编程操作对象的存储器单元(在下文中被称为“编程禁止单元”)连接的位线BL_m。下面,编程单元“P”所连接到的位线被定义为编程位线,编程禁止单元“Q”所连接到的位线被定义为编程禁止位线。在图5中,第一位线BL1是编程位线BL1(pgm),第m位线BL_m是编程禁止位线BL_m(inh)。

[0079] 在编程操作中,电源电压V_{cc}被施加到串选择线SSL,0V被施加到地选择线GSL。编程电压V_{pgm}(例如,18V)被施加到选择的字线(例如,WL2),通过电压V_{pass}(例如,8V)被施加到未被选择的字线。闪存随着编程循环的进行而增大编程电压V_{pgm}。为了对未完全被编程

的存储器单元进行编程,闪存随着编程循环的进行而增大编程电压。这被称为“增量步进脉冲编程(ISPP)”。

[0080] 根据编程偏置条件,由于 V_{pgm} 被施加到编程单元“P”的栅极并且沟道电压为0V,所以在编程单元“P”的栅极与沟道之间形成强电场。在这种情况下,存在于编程单元“P”的沟道中的电子通过F-N隧穿注入到编程单元“P”的浮置栅极。

[0081] 同时,当编程电压 V_{pgm} 被施加到编程禁止单元“Q”的栅极时,由于编程禁止单元“Q”的沟道处于浮置状态,所以沟道电压由于栅极与沟道之间的电容性升压效应(capacitive boosting effect)增大到升压电平(例如,约8V)。由于在编程禁止单元“Q”的栅极与沟道之间没有形成足以产生F-N隧穿的电场,因此编程禁止单元“Q”未被编程。

[0082] 图7是示出被执行编程操作且连接到选择的字线WL2的存储器单元的阈值电压分布的示图。参照图7,横轴表示阈值电压 V_{th} ,纵轴表示存储器单元的数量。

[0083] 闪存1100(参照图2)对连接到一条字线WL2的存储器单元同时进行编程。这种编程操作被称为“页编程操作”。根据阈值电压分布,3位存储器单元可具有8个状态E0和P1至P7中的一个。这里,E0指示存储器单元的擦除状态,P1至P7指示编程状态。

[0084] 闪存1100执行页读取操作。在读取操作中,选择读取电压 V_{rd1} 、 V_{rd2} 等被提供给选择的字线WL2,并且未选择读取电压 V_{read} 被提供给未被选择的字线WL1和WL3至WLn。这里,未选择读取电压 V_{read} 是足以导通连接到字线的存储器单元的电压。

[0085] 在二维闪存的情况下,用于选择单元串的串选择晶体管SST在结构上与NMOS晶体管相似或等同。串选择晶体管的阈值电压 V_{th} 在处理过程中被确定。相反,在三维闪存的情况下,串选择晶体管SST在结构上与用于存储数据的存储器单元等同。可通过闪存的编程操作或擦除操作来调整串选择晶体管SST的阈值电压 V_{th} 。

[0086] II、支持数据保护和恢复操作的基于闪存的用户装置

[0087] 本发明构思涉及一种用于在基于三维闪存的数据存储装置中在不改变硬件的情况下容易地保护和恢复数据的方法。基于传统的闪存的数据存储装置可能存在的问题在于需要长的时间来保护和恢复数据,或者由于原始数据的丢失而不可能恢复数据。

[0088] 根据本发明构思的实施例的三维闪存可调整选择晶体管或虚设存储器单元的阈值,从而在短时间内永久地或临时地保护数据,并且在必要时容易地恢复原始数据而不丢失数据。本发明构思可在数据保护操作中将选择晶体管SST或虚设存储器单元的阈值电压编程到高于未选择读取电压 V_{read} 的电压,并且可在数据恢复操作中执行擦除操作以将阈值电压 V_{th} 重新编程为初始电压。

[0089] 图8是示出根据本发明构思的实施例的用户装置的框图。参照图8,用户装置2000包括闪存2100、存储器控制器2200和主机2300。图8中所示的用户装置2000可包括包含闪存2100和存储器控制器2200的数据存储装置(诸如,存储卡、USB存储器、eMMC、UFS或SSD等)。数据存储装置可嵌入主机2300(诸如,计算机或智能电话)中,或者可用作外部存储介质。

[0090] 闪存2100可在存储器控制器2200的控制下执行擦除操作、写入操作或读取操作。可通过输入/输出线I/O将命令CMD、地址ADDR和数据“DATA”提供给闪存2100。此外,可通过电源线将电力PWR提供给闪存2100,并且可通过控制线将控制信号CTRL提供给闪存2100。

[0091] 存储器控制器2200可包括用于与闪存2100交换数据的闪存接口2210和用于与主机2300交换数据的主机接口2230。闪存接口2210可向闪存2100提供电力PWR,或者可提供用

于闪存2100的操作的命令CMD、地址ADDR、数据“DATA”和控制信号CTRL。控制信号CTRL可包括命令锁存使能(CLE)信号、地址锁存使能(ALE)信号、芯片使能(nCE)信号、写入使能(nWE)信号、读取使能(nRE)信号等。

[0092] 与硬盘驱动器不同,因为不支持盖写(overwrite,或者被称为改写或重写)操作,所以闪存2100可擦除其中存储有数据的存储器块,然后可执行编程操作(编程前擦除)。由于闪存2100的这种物理特性,存储器控制器2200包括被称为“闪存转换层(FTL)”2220的软件。闪存转换层2220可对设置在存储器控制器2200中的存储器(未示出)进行操作。

[0093] 主机接口2230可从主机2300接收写入请求WRITE_x或读取请求READ_x。主机接口2230可连同写入请求或读取请求一起从主机2300接收逻辑地址。闪存转换层(FTL)2220可将主机2300提供的逻辑地址转换为闪存2100中可用的物理地址。

[0094] 闪存转换层2220可通过映射表来管理地址转换和管理操作。逻辑地址和与其对应的物理地址在映射表中相互关联。映射表的大小可根据映射单元而变化,并且映射表可具有各种映射方法。例如,可以以页为单位执行页映射操作,可以以存储器块为单位执行块映射操作,或者可执行与其组合对应的混合映射操作。

[0095] 可通过主机接口2230将写入请求WRITE_x或读取请求READ_x提供给闪存转换层2220,并且闪存转换层2220可将编程命令PGM、擦除命令ERS或读取命令READ提供给闪存接口2210。闪存转换层2220可连同编程命令、擦除命令或读取命令一起提供物理地址。闪存接口2210可通过输入/输出线IO将命令CMD、地址ADDR和数据“DATA”提供给闪存2100。

[0096] 闪存2100可通过控制信号CTRL的组合来识别命令CMD、地址ADDR和数据“DATA”。例如,闪存2100可响应于命令锁存使能信号CLE接收命令CMD,并且可响应于地址锁存使能信号ALE接收地址ADDR。此外,闪存2100可响应于写入使能信号nWE或读取使能信号nRE的切换而接收或输出数据“DATA”。

[0097] 同时,除了正常的写入和读取操作之外,根据本发明构思的实施例的用户装置2000还可支持数据保护和恢复操作。这里,数据保护操作指的是将存储在闪存2100的存储器块中的数据设置为不可读取状态的操作。数据恢复操作是指将存储在存储器块中的数据设置为可读状态的操作。

[0098] 继续参照图8,主机2300可向存储器控制器2200提供数据保护请求PROT_x或数据恢复请求RCVY_x。闪存转换层(FTL)2220可通过主机接口2230接收数据保护请求PROT_x或数据恢复请求RCVY_x,并且可将数据保护命令PROT或数据恢复命令RCVY提供给闪存接口2210。闪存转换层(FTL)2220可连同物理地址一起提供数据保护命令PROT或数据恢复命令RCVY。这里,用于数据保护或数据恢复的物理地址可以是与闪存2100的选择线SSL和GSL和/或虚设字线相关联的页地址。可选地,用于数据保护的物理地址可以是与闪存2100的位线BL或字线WL相关联的地址。

[0099] 闪存接口2210可通过输入/输出线IO向闪存2100提供用于数据保护或恢复的命令CMD和地址ADDR。闪存接口2210可通过控制信号CTRL的组合来识别用于数据保护或恢复的命令CMD和地址ADDR。同时,闪存接口2210还可连同命令CMD和地址ADDR一起提供数据“DATA”。这里,将被提供给闪存2100的数据可以是相同的。

[0100] III、闪存的数据保护和恢复方法

[0101] 1、通过闪存的SST编程的数据保护和恢复方法

[0102] 图9至图11示出通过图8中所示的闪存的SST编程的数据保护方法。根据本发明构思的实施例的闪存2100可通过将串选择晶体管SST的阈值电压 V_{th} 编程为比未选择读取电压 V_{read} 高的电压来保护存储在连接到第二字线WL2的存储器单元“P”和“Q”中的页数据。下面,将描述对串选择晶体管SST进行编程(在下文中被称为“SST编程”)的方法。

[0103] 参照图9,闪存2100可通过多个块选择晶体管BST来选择存储器块。足以使块选择晶体管BST导通的高电压 V_{PP} 被施加到块选择晶体管BST的栅极。0V的位线编程电压被提供给第一位线BL1至第m位线BLm。

[0104] 图10示出图9中所示的闪存2100的SST编程偏置条件。参照图9和图10,在SST编程操作中,高于第一编程电压 V_{pgm1} (参照图6)的第二编程电压 V_{pgm2} 被施加到串选择线SSL。

[0105] 这里,第一编程电压 V_{pgm1} 是在正常编程操作中提供给选择的字线的电压。根据ISPP方式,第一编程电压 V_{pgm1} 可随着编程循环的进行而逐渐增大。第二编程电压 V_{pgm2} 是高于将在最终编程循环中提供的电压的电压。0V被施加到地选择线GSL、第一虚设字线DWL1和第二虚设字线DWL2以及第一字线WL1至第n字线WLn。高于第二编程电压 V_{pgm2} 的高电压 V_{PP} 被提供给块选择晶体管BST。

[0106] 根据SST编程偏置条件,由于第二编程电压 V_{pgm2} 被施加到串选择晶体管SST的栅极并且沟道电压为0V,因此在串选择晶体管SST的栅极与沟道之间形成强电场。在这种情况下,存在于串选择晶体管SST的沟道中的电子通过F-N隧穿注入到串选择晶体管SST的浮置栅极。

[0107] 图11是示出在执行SST编程操作之后连接到串选择线SSL的串选择晶体管的阈值电压分布的图。参照图7,横轴表示阈值电压 V_{th} ,而纵轴表示串选择晶体的数量。

[0108] 闪存2100(参照图9)对连接到串选择线SSL的串选择晶体管同时进行编程。当执行SST编程操作时,串选择晶体管的阈值电压变得高于未选择读取电压 V_{read} 。这里,第二编程电压 V_{pgm2} 可被定义为能够将串选择晶体管的阈值电压设置为高于未选择读取电压 V_{read} 的电压。根据SST编程操作,串选择晶体管的阈值电压分布从初始编程状态改变到保护编程状态。

[0109] 根据本发明构思的实施例的闪存2100可从存储器控制器2200(参照图8)接收数据保护命令PROT,并且可执行SST编程操作。闪存2100可通过SST编程操作将串选择晶体管的阈值电压设置为高于未选择读取电压 V_{read} 。

[0110] 在闪存2100的正常读取操作中,选择读取电压 V_{rd1} 、 V_{rd2} 等可被提供给选择的字线WL2,并且未选择读取电压 V_{read} 可被提供给剩余的word线和串选择线SSL。根据本发明构思的实施例的闪存2100可通过执行SST编程操作来防止串选择晶体管在读取操作中导通。原因是串选择晶体管的阈值电压高于将被提供给串选择线SSL的未选择读取电压 V_{read} 。

[0111] 由于根据本发明构思的实施例的闪存2100仅通过SST编程操作来调整串选择晶体管的阈值电压,因此闪存2100可不进行额外的硬件改变的情况下在短时间内保护数据。

[0112] 图12至图17示出通过图8中所示的闪存的SST擦除和重新编程的数据恢复方法。根据本发明构思的实施例的闪存2100可通过将串选择晶体管SST的阈值电压 V_{th} 编程到高于未选择读取电压 V_{read} 的电压来保护数据。根据本发明构思的实施例的闪存2100可通过SST擦除和重新编程来容易地恢复受保护的数据。

[0113] 图12和图13示出图9中所示的闪存2100的SST擦除偏置条件。参照图12和图13,在

SST擦除操作中,0V被施加到串选择线SSL。地选择线GSL、字线WL1至WL_n以及虚设字线DWL1和DWL2被设置到浮置状态。

[0114] 在截止电压V_{shut}被施加到块选择晶体管BST的栅极的状态下增大地选择线GSL、字线WL1至WL_n以及虚设字线DWL1和DWL2的电压的情况下,当增大的电压达到与截止电压V_{shut}减去块选择晶体管BST的阈值电压对应的电压(V_{shut}-V_{th})时,块选择晶体管BST可被截止。在这种情况下,地选择线GSL、字线WL1至WL_n以及虚设字线DWL1和DWL2可被设置为浮置状态。

[0115] 在SST擦除操作中,擦除电压V_{erase}被施加到基底SUB。例如,擦除电压V_{erase}可以是约20V。根据SST擦除偏置条件,由于0V被施加到串选择晶体管SST的栅极并且约20V的擦除电压V_{erase}被施加到沟道,所以在串选择晶体管SST的栅极与沟道之间形成强电场。在这种情况下,存在于串选择晶体管SST的浮置栅极中的电子通过F-N隧穿注入沟道。

[0116] 同时,由于地选择线GSL、字线WL1至WL_n以及虚设字线DWL1和DWL2处于浮置状态,所以连接到其的单元晶体管的栅极电压由于形成在单元晶体管的栅极与沟道之间的电容性升压效应而增大到升压电平(例如,约8V)。因为在单元晶体管的栅极与沟道之间没有形成足以形成F-N隧穿的电场,所以存储在存储器单元中的数据可不被擦除。

[0117] 图14是示出在执行SST擦除操作之后连接到串选择线SSL的串选择晶体管的阈值电压分布的图。闪存2100(参照图9)同时擦除连接到串选择线SSL的串选择晶体管。当执行SST擦除操作时,串选择晶体管的阈值电压变得低于未选择读取电压V_{read}。根据SST擦除操作,串选择晶体管的阈值电压分布从保护编程状态改变为擦除状态。

[0118] 图15和图16示出图9中所示的闪存2100的SST重新编程偏置条件。参照图15和图16,在SST重新编程操作中,第一编程电压V_{pgm1}(参照图6)可被施加到串选择线SSL。

[0119] 第一编程电压V_{pgm1}是在正常编程操作中提供给选择的字线的电压。根据ISPP方式,第一编程电压V_{pgm1}可随着编程循环的进行而逐渐增大。第一编程电压V_{pgm1}可继续增大,直到所有串选择晶体管SST的阈值电压高于编程验证电压V_{fy}。0V被施加到地选择线GSL、第一虚设字线DWL1和第二虚设字线DWL2以及第一字线WL1至第n字线WL_n。高于第一编程电压V_{pgm1}的高电压V_{pp}被提供给块选择晶体管BST。

[0120] 根据SST重新编程偏置条件,由于第一编程电压V_{pgm1}被施加到串选择晶体管SST的栅极并且沟道电压为0V,所以在串选择晶体管SST的栅极与沟道之间形成强电场。在这种情况下,存在于串选择晶体管SST的沟道中的电子通过F-N隧穿注入到串选择晶体管SST的浮置栅极。

[0121] 图17是示出在执行SST重新编程操作之后连接到串选择线SSL的串选择晶体管的阈值电压分布的图。闪存2100(参照图9)对连接到串选择线SSL的串选择晶体管同时进行编程。由于执行了SST重新编程操作,串选择晶体管的阈值电压变得高于编程验证电压V_{fy}。根据SST重新编程操作,串选择晶体管的阈值电压分布从擦除状态改变到初始编程状态。

[0122] 根据本发明构思的实施例的闪存2100可从存储器控制器2200(参照图8)接收数据恢复命令RCVY,并且可执行SST擦除和编程操作。闪存2100可通过SST擦除操作将串选择晶体管的阈值电压设置到擦除状态,并且可通过SST重新编程操作将串选择晶体管的阈值电压设置为初始编程状态。

[0123] 在闪存2100的读取操作中,选择读取电压V_{rd1}、V_{rd2}等可被提供给选择的字线(例

如,WL2),并且未选择读取电压Vread可被提供给剩余的字线和串选择线SSL。根据本发明构思的实施例的闪存2100可执行SST擦除和重新编程操作,使得在读取操作中,串选择晶体管导通并且读取操作正常执行。

[0124] 因为根据本发明构思的实施例的闪存2100仅通过SST擦除和重新编程操作来调整串选择晶体管的阈值电压,所以闪存2100可在短时间内恢复数据,而不需要额外的硬件改变。

[0125] 如上所述,根据本发明构思的实施例的闪存2100可通过SST编程操作来执行数据保护操作,并且可通过SST擦除和重新编程操作来执行数据恢复操作。

[0126] 同时,根据本发明构思的实施例的闪存2100可通过地选择晶体管GST来执行数据保护操作和数据恢复操作。本发明构思可通过GST编程操作来执行数据保护操作,并且可通过GST擦除和重新编程操作来执行数据恢复操作。可以以与上述SST编程操作和SST擦除和重新编程操作相同的方式来执行GST编程操作以及GST擦除和重新编程操作。

[0127] 2、通过闪存的SST和DWC编程的数据保护方法

[0128] 根据本发明构思的实施例的闪存2100(参考图8)可根据用户的需要永久地不恢复数据。闪存2100可通过永久地阻止对特定数据的访问来支持销毁数据的功能。为此,除了SST编程操作之外,本发明构思还可支持虚设存储器单元编程操作(在下文中被称为“DMC编程操作”)。

[0129] 图18至图20示出通过图8中所示的闪存的SST和DMC编程的永久数据保护方法。参照图18和图19,在SST和DMC编程操作中,高于第一编程电压Vp_{gm1}(参照图6)的第二编程电压Vp_{gm2}被施加到串选择线SSL和第二虚设字线DWL2。

[0130] 根据SST和DMC编程偏置条件,因为第二编程电压Vp_{gm2}被施加到串选择线SSL和第二虚设字线DWL2,并且沟道电压为0V,所以在串选择晶体管SST与沟道之间以及第二虚设存储器单元DMC2的栅极与沟道之间形成强电场。在这种情况下,存在于串选择晶体管SST和第二虚设存储器单元DMC2的沟道中的电子通过F-N隧穿注入到串选择晶体管SST和第二虚设存储器单元DMC2的浮置栅极。

[0131] 图20是示出在执行SST和DMC编程操作之后串选择晶体管SST和第二虚设存储器单元DMC2的阈值电压分布的图。由于执行了SST和DMC编程操作了,串选择晶体管和第二虚设存储器单元的阈值电压变得高于未选择读取电压Vread。根据SST和DMC编程操作,串选择晶体管和虚设存储器单元的阈值电压分布从初始编程状态改变为保护编程状态。

[0132] 根据本发明构思的实施例的闪存2100可仅对虚设字线DWL提供编程操作,并且可不支持擦除和重新编程操作。这样,闪存2100可永久地阻止或限制对存储在编程单元“P”和“Q”中的数据的访问。

[0133] 在这种情况下,本发明构思可在临时限制对数据的访问并在期望的时间恢复数据的情况下,通过SST编程操作来执行数据保护和恢复操作,并且可在永久地限制对数据的访问的情况下,通过SST和DMC编程操作来保护数据。

[0134] 3、通过二维闪存的DMC编程的数据保护和恢复方法

[0135] 如上所述,由于选择晶体管SST和GST具有与存储数据的存储器单元相同的结构,所以三维闪存可通过编程操作或擦除操作来调整阈值电压V_{th}。相反,由于用于选择单元串的选择晶体管SST和GST在结构上等同于或类似于NMOS晶体管,并且阈值电压V_{th}在处理过

程中被确定,所以二维闪存无法调整阈值电压 V_{th} 。

[0136] 然而,二维闪存可通过将连接在串选择晶体管SST与地选择晶体管GST之间的多个存储器单元中的至少一个的阈值电压编程为未选择读取电压 V_{read} 或更高来保护数据。此外,二维闪存可通过擦除和重新编程来恢复数据。

[0137] 通常,二维闪存从与地选择晶体管GST相邻的存储器单元开始进行编程操作。也就是说,按照连接到第一字线WL1的存储器单元到连接到第n字线WLn的存储器单元的顺序来执行编程操作。这被称为“最小-最大编程操作 (Min-Max program operation)”。因此,优选地,作为数据保护和恢复操作的对象存储器单元可以是与串选择晶体管相邻的存储器单元MC或虚设存储器单元DMC。

[0138] 传统的闪存需要大量的时间来保护和恢复数据。原因是必须擦除存储在存储器块中的所有数据并执行编程操作。然而,本发明构思可通过SST编程操作来调整串选择晶体管的阈值电压,而不影响存储在存储器单元中的数据,从而容易并快速地保护和恢复数据。

[0139] 4、通过闪存的读取操作条件的改变的数据保护方法

[0140] 图21至图24示出与参照图9至图11描述的数据保护方法不同的数据保护方法。根据本发明构思的实施例的闪存2100可通过在数据读取操作中调整将被施加到位线BL1至BLm或未被选择的字线的电压,保护存储在连接到选择的字线(例如,第二字线WL2)的存储器单元中的页数据。下面,将描述通过调整将被施加到位线或未被选择的字线的电压来保护数据的方法。

[0141] 图21是示出图8的存储器控制器2200在数据读取操作中保护数据的操作的流程图。参照图8和图21,在操作S2201中,存储器控制器2200可从主机2300接收数据读取请求 $READ_x$ 。存储器控制器2200可连同读取请求一起接收逻辑地址。

[0142] 在操作S2202中,存储器控制器2200可确定接收的地址是否与预设地址匹配。预置地址可以是用于保护的数据被存储的块地址。当接收的地址与预设地址匹配时,从主机2300请求的读取数据可包括在用于保护的数据中。例如,预置地址可在被主机2300设置之后预先存储在存储器控制器2200中,但是本发明构思不限于此。

[0143] 当接收的地址与预设地址不匹配时,在操作S2203中,存储器控制器2200可执行正常读取操作。也就是说,因为读取的数据不是用于保护的数据,所以存储器控制器2200可输出存储在闪存2100中的读取数据。在操作S2204中,存储器控制器2200可将输出的读取数据提供给主机2300。

[0144] 当接收的地址与预设地址匹配时,在操作S2205中,存储器控制器2200可执行数据保护操作。因为读取的数据是用于保护的数据,所以存储器控制器2200可允许闪存2100执行数据保护操作。根据数据保护操作,闪存2100的数据读取操作会失败。这样,在操作S2206中,存储器控制器2200可向主机2300返回数据读取失败消息。

[0145] 图22示出闪存2100的针对图21的正常读取操作的操作。闪存2100可从存储器控制器2200接收读取命令,并且可执行正常读取操作。

[0146] 为了便于描述,假设选择第二字线WL2以读取存储在闪存2100中的数据,连接到第二字线WL2的存储器单元“P”处于编程状态,并且存储器单元“Q”处于擦除状态。参照图22,足以导通块选择晶体管BST的高电压 V_{PP} 被施加到块选择晶体管BST的栅极。选择读取电压 V_{sel} 被提供给选择的字线WL2,并且第一未选择读取电压 V_{read1} 被提供给未被选择的字线

WL1和WL3至WLn。与未被选择的字线WL1和WL3至WLn一样,第一未选择读取电压Vread1被施加到虚设字线DWL1和DWL2以及选择线SSL和GSL。第一预充电电压Vpre1被施加到位线BL1至BLm。例如,为了执行正常读取操作,第一未选择读取电压Vread1可以为约6V,并且第一预充电电压Vpre1可以为约1.3V至1.4V。然而,本发明构思不限于此。

[0147] 当选择读取电压Vse1被施加到编程状态的存储器单元“P”的栅极时,存储器单元“P”可截止。当第一未选择读取电压Vread1被施加到存储器单元的栅极时,存储器单元可导通。也就是说,在正常读取操作的偏置条件下,串联连接到第一位线BL1的存储器单元之中的存储器单元“P”可处于截止状态。这样,电流可不流过存储器单元“P”所连接到的第一位线BL1。

[0148] 当选择读取电压Vse1被施加到擦除状态的存储器单元“Q”的栅极时,存储器单元“Q”可导通。同样地,当第一未选择读取电压Vread1被施加到存储器单元的栅极时,存储器单元可导通。也就是说,在正常读取操作的偏置条件下,串联连接到第m位线BLm的所有存储器单元可处于导通状态。这样,电流可流过存储器单元“Q”所连接到的第m位线BLm。

[0149] 闪存2100可基于分别流向第一位线BL1和第m位线BLm的电流来读取存储在存储器单元“P”和“Q”中的数据。闪存2100可将读取的数据提供给存储器控制器2200。这样,存储器控制器2200可将读取的数据提供给主机2300。

[0150] 图23和图24示出闪存2100的针对图21的数据保护操作的操作。具体地,图23示出通过不同地设置将被施加到位线BL1至BLm的电压来执行数据保护操作的示例,图24示出通过不同地设置未选择读取电压Vread来执行数据保护操作的示例。闪存2100可从存储器控制器2200接收数据保护命令,并且可执行数据保护操作。

[0151] 参照图23,足以导通块选择晶体管BST的高电压VPP被施加到块选择晶体管BST的栅极。选择读取电压Vse1被提供给选择的字线WL2,并且第一未选择读取电压Vread1被提供给未被选择的字线WL1和WL3至WLn。与未被选择的字线WL1和WL3至WLn一样,第一未选择读取电压Vread1被施加到虚设字线DWL1和DWL2以及选择线SSL和GSL。第二预充电电压Vpre2被施加到位线BL1至BLm。第二预充电电压Vpre2可以是小于第一预充电电压Vpre1的电压。例如,第二预充电电压Vpre2可以是0V。然而,本发明构思不限于此。例如,第二预充电电压Vpre2可以是使得不能基于流过位线BL1至BLm的电流来确定存储在存储器单元中的数据中的任何电压。

[0152] 当第二预充电电压Vpre2被施加时,电流可不流过位线BL1至BLm。可选地,当第二预充电电压Vpre2被施加时,小电流可流过位线BL1至BLm,使得存储在存储器单元中的数据不被确定。

[0153] 如上所述,当第二预充电电压Vpre2被施加到位线BL1至BLm时,电流可不流向位线BL1至BLm(或者流向位线BL1至BLm的电流小),因此,连接到位线BL1至BLm的存储器单元可被识别为截止状态。因此,在从闪存2100读取的数据中可能发生错误。存储器控制器2200可将包括发生错误的存储器单元的存储器块确定为坏块。这样,存储器控制器2200可向主机2300返回数据读取失败消息。

[0154] 参照图24,足以导通块选择晶体管BST的高电压VPP被施加到块选择晶体管BST的栅极。选择读取电压Vse1被提供给选择的字线WL2,并且第二未选择读取电压Vread2被提供给未被选择的字线WL1和WL3至WLn。与未被选择的字线WL1和WL3至WLn一样,第二未选择读

取电压Vread2被施加到虚设字线DWL1和DWL2以及选择线SSL和GSL。第一预充电电压Vpre1被施加到位线BL1至BLm。第二未选择读取电压Vread2可以是小于第一未选择读取电压Vread1的电压。例如,第二未选择读取电压Vread2可以是0V或约1V至2V。然而,本发明构思不限于此。例如,第二未选择读取电压Vread2可以是允许存储器单元保持截止状态的任何电压。被施加第二未选择读取电压Vread2的存储器单元可截止。这样,电流可不流过位线BL1至BLm。

[0155] 如上所述,当第二未选择读取电压Vread2被施加到未被选择的字线WL1和WL3至WLn、虚设字线DWL1和DWL2以及选择线SSL和GSL时,电流可不流到位线BL1至BLm,因此,连接到位线BL1至BLm的存储器单元可被识别为截止状态。因此,在从闪存2100读取的数据中可能发生错误。存储器控制器2200可将包括发生错误的存储器单元的存储器块确定为坏块。这样,存储器控制器2200可向主机2300返回数据读取失败消息。

[0156] 如参照图21至图24所述,根据本发明构思的实施例的闪存2100可通过调整将被施加到位线BL或字线WL的电压来执行数据保护操作。因此,可在短时间内保护数据而不需要额外的硬件改变。

[0157] IV、应用

[0158] 根据本发明构思的实施例的数据存储装置可应用于各种类型的产品或应用。数据存储装置不仅可用电子装置(诸如,个人计算机、数码相机、摄像机、蜂窝电话、MP3、PMP、PSP、PDA等)来实现,也可用存储装置(诸如,存储卡、USB存储器、固态驱动器(在下文中被称为“SSD”)等)来实现。

[0159] 图25示出其中根据本发明构思的实施例的数据存储装置应用于存储卡的示例。存储卡系统3000可包括主机3100和存储卡3200。主机3100可包括主机控制器3110和主机连接单元3120。存储卡3200可包括卡连接单元3210、卡控制器3220和闪存3230。这里,闪存3230可用上述三维闪存来实现。

[0160] 主机3100将数据写入存储卡3200中或读取存储在存储卡3200中的数据。主机控制器3110通过主机连接单元3120向存储卡3200发送命令(例如,写入命令)、从主机3100中的时钟发生器(未示出)产生的时钟信号CLK和数据DAT。

[0161] 卡控制器3220响应于通过卡连接单元3210接收的写入命令将数据存储在闪存3230中,具体的讲,数据与从卡控制器3220中的时钟发生器(未示出)产生的时钟信号CLK同步地被存储。闪存3230存储从主机3100发送的数据。例如,在主机3100是数码相机的情况下,图像数据被存储。

[0162] 图26是示出根据本发明构思的实施例的数据存储装置应用于固态驱动器(SSD)的示例的框图。参照图26,SSD系统4000包括主机4100和SSD4200。

[0163] SSD 4200通过信号连接器4211与主机4100交换信号,并通过电力连接器4221接收电力。SSD 4200可包括多个闪存4201至420n、SSD控制器4210和辅助电源4220。

[0164] 多个闪存4201至420n用作SSD 4200的存储介质。除了闪存之外,可使用非易失性存储器装置(诸如,PRAM、MRAM、ReRAM、FRAM等)来作为SSD 4200的存储介质。多个闪存4201至420n可经由多个通道CH1至CHn连接到SSD控制器4210。一个或多个闪存可连接到一个通道。连接到一个通道的闪存可连接到同一数据总线。

[0165] SSD控制器4210通过信号连接器4211与主机4100交换信号SGL。这里,信号SGL可包

括命令、地址和数据等。根据主机4100的命令,SSD控制器4210将数据写入对应的闪存或从对应的闪存读取数据。将参照图27详细描述SSD控制器4210的内部配置。

[0166] 辅助电源4220通过电源连接器4221与主机4100连接。辅助电源4220可从主机4100接收电力PWR,并且可用接收的电力PWR进行充电。辅助电源4220可位于SSD 4200内部或者可位于SSD4200外部。例如,辅助电源4220可位于主板上,并且可向SSD 4200提供辅助电力。

[0167] 图27是示出图26中所示的SSD控制器4210的配置的框图。参照图27,SSD控制器4210包括NVM接口4211、主机接口4212、ECC电路4213、中央处理器(CPU)4214和缓冲存储器4215。

[0168] NVM接口4211将从缓冲存储器4215发送的数据分散到通道CH1至CHn。NVM接口4211将从闪存4201至420n读取的数据发送到缓冲存储器4215。这里,NVM接口4211可使用闪存的接口方法。也就是说,SSD控制器4210可按照闪存接口方式执行编程操作、读取操作或擦除操作。

[0169] 主机接口4212提供与主机4100的协议对应的与SSD 4200的接口。主机接口4212可通过使用通用串行总线(USB)、小型计算机小型接口(SCSI)、PCI快速、ATA、并行ATA(PATA)、串行ATA(SATA)或串行附接SCSI(SAS)等与主机4100通信。此外,主机接口4212可执行允许主机4100将SSD 4200识别为硬盘驱动器(HDD)的盘仿真功能。

[0170] ECC电路4213通过使用将被发送到闪存4201至420n的数据来产生纠错码ECC。由此产生的纠错码ECC存储在闪存4201至420n的备用区域中。ECC电路4213检测从闪存4201至420n读取的数据的错误。当检测到的错误是可校正的时,ECC电路4213校正检测到的错误。

[0171] 中央处理器4214分析并处理从主机4100接收的信号SGL(参照图26)。中央处理器4214通过主机接口4212或NVM接口4211控制主机4100或闪存4201至420n。中央处理器4214基于用于驱动SSD 4200的固件来控制闪存4201至420n的操作。

[0172] 缓冲存储器4215临时存储从主机4100提供的写入数据或从闪存4201至420n读取的数据。此外,缓冲存储器4215可存储将被存储在闪存4201至420n中的元数据或高速缓存数据。在突然断电操作中,存储在缓冲存储器4215中的元数据或高速缓存数据被存储在闪存4201至420n中。缓冲存储器4215可包括DRAM或SRAM等。

[0173] 图28是示出根据本发明构思的实施例的数据存储装置应用在电子装置中的示例的框图。这里,电子装置5000可用个人计算机(PC)来实现,或者可用便携式电子装置(诸如,笔记本电脑计算机、蜂窝电话、个人数字助理(PDA)或照相机等)来实现。

[0174] 参照图28,电子装置5000可包括存储器系统5100、电源5200、辅助电源5250、中央处理器5300、RAM5400和用户接口5500。存储器系统5100可包括闪存5110和存储器控制器5120。

[0175] 上述描述涉及用于实现本发明构思的范围的实施例。在其中简单地改变设计或者容易地改变设计的实施例可包括在本发明构思以及上述实施例的范围内。此外,通过使用上述实施例容易地改变和实现的技术也可包括在本发明构思的范围内。因此,应当理解,上述实施例不是限制性的,而是说明性的。

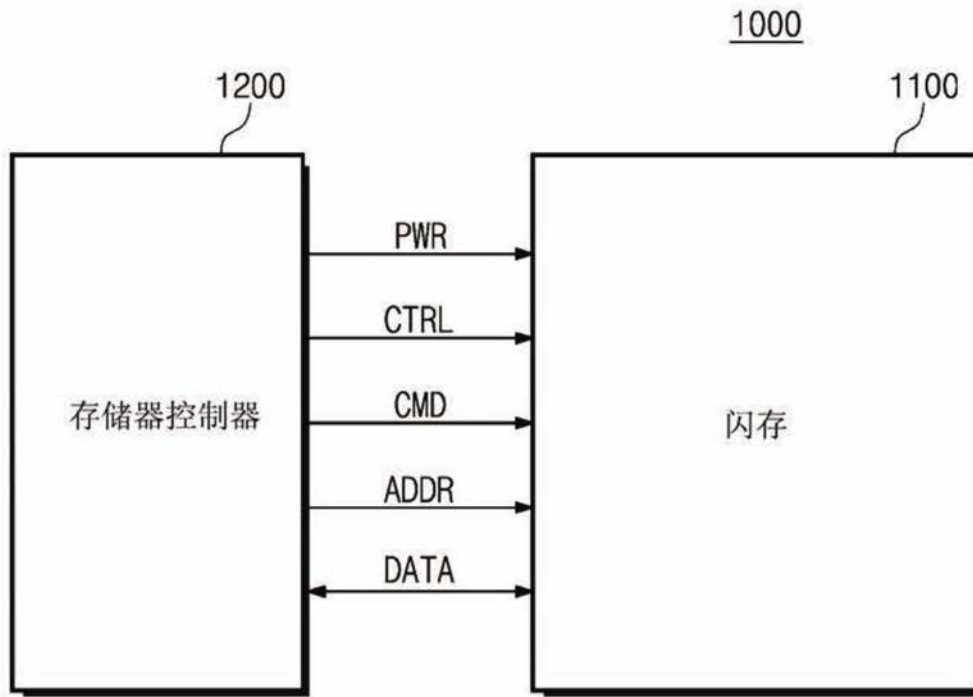


图1

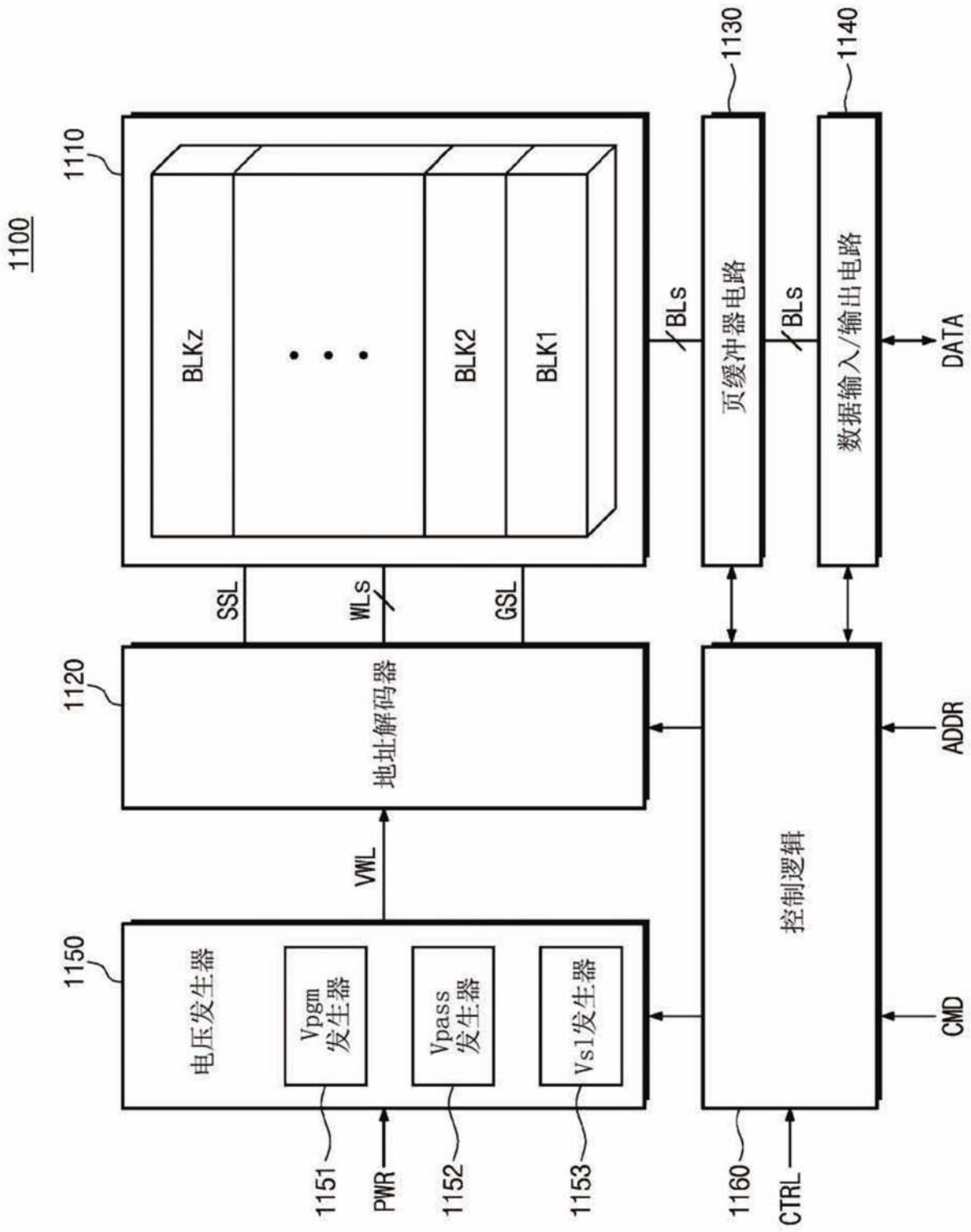


图2

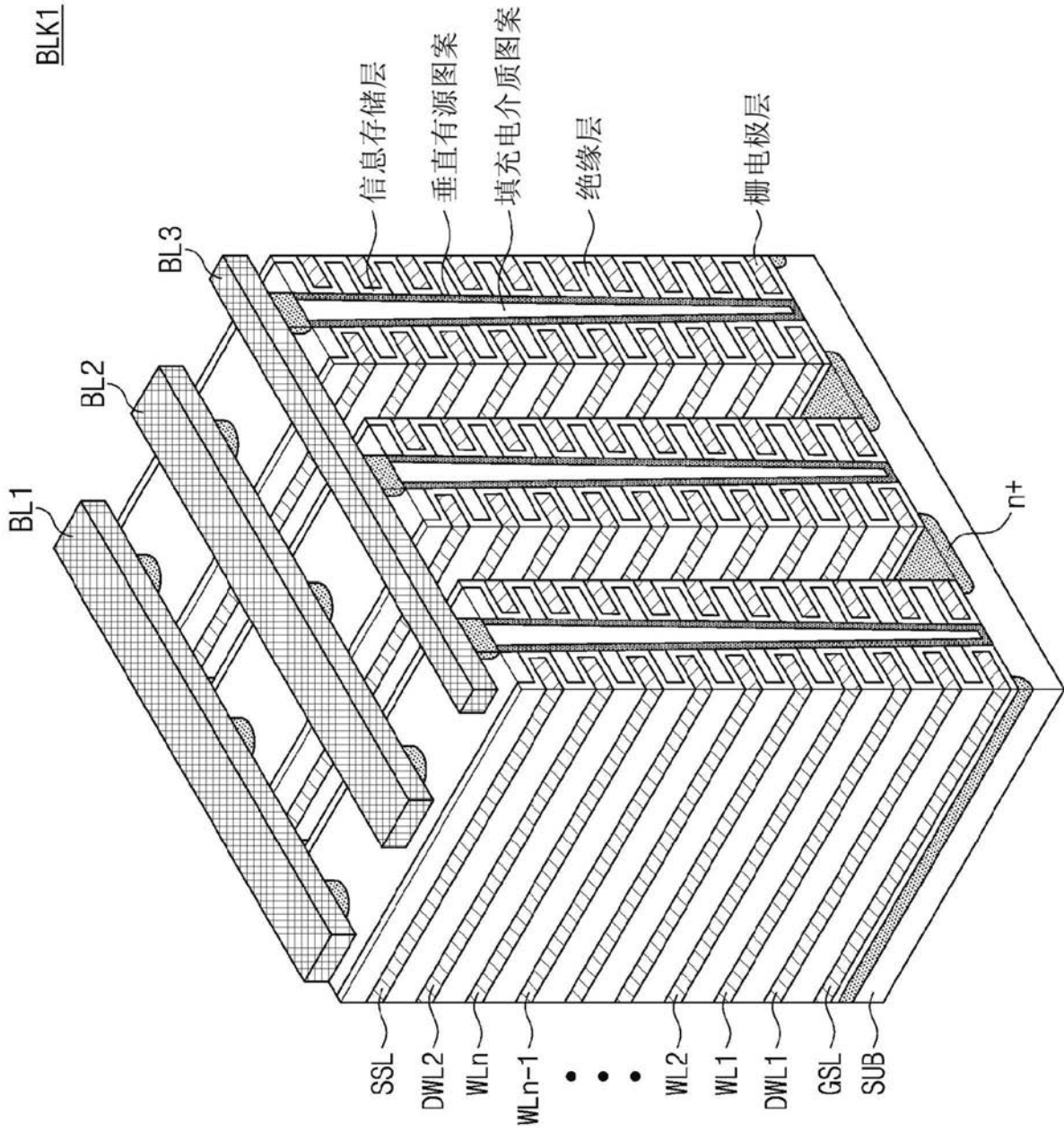


图3

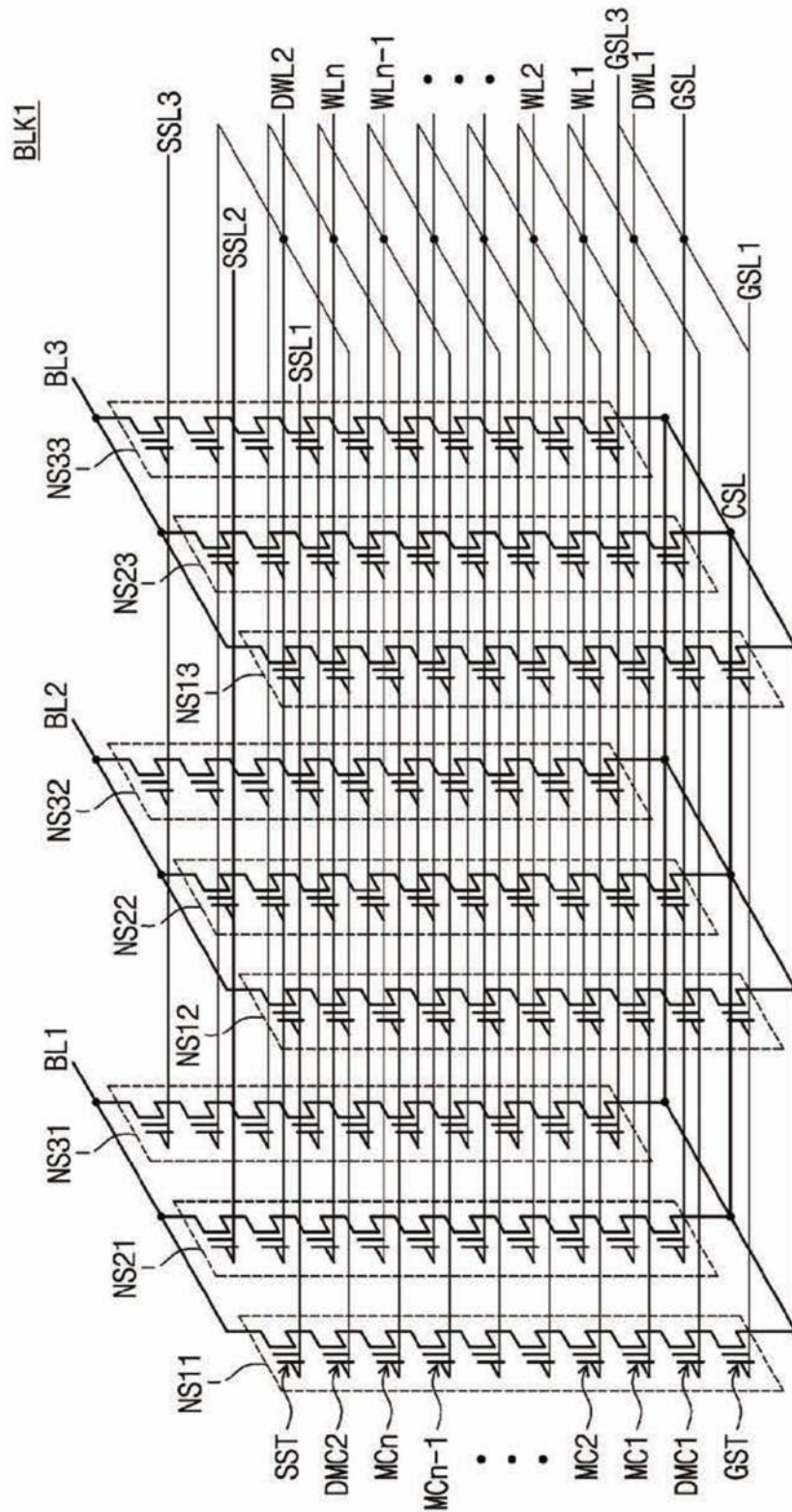


图4

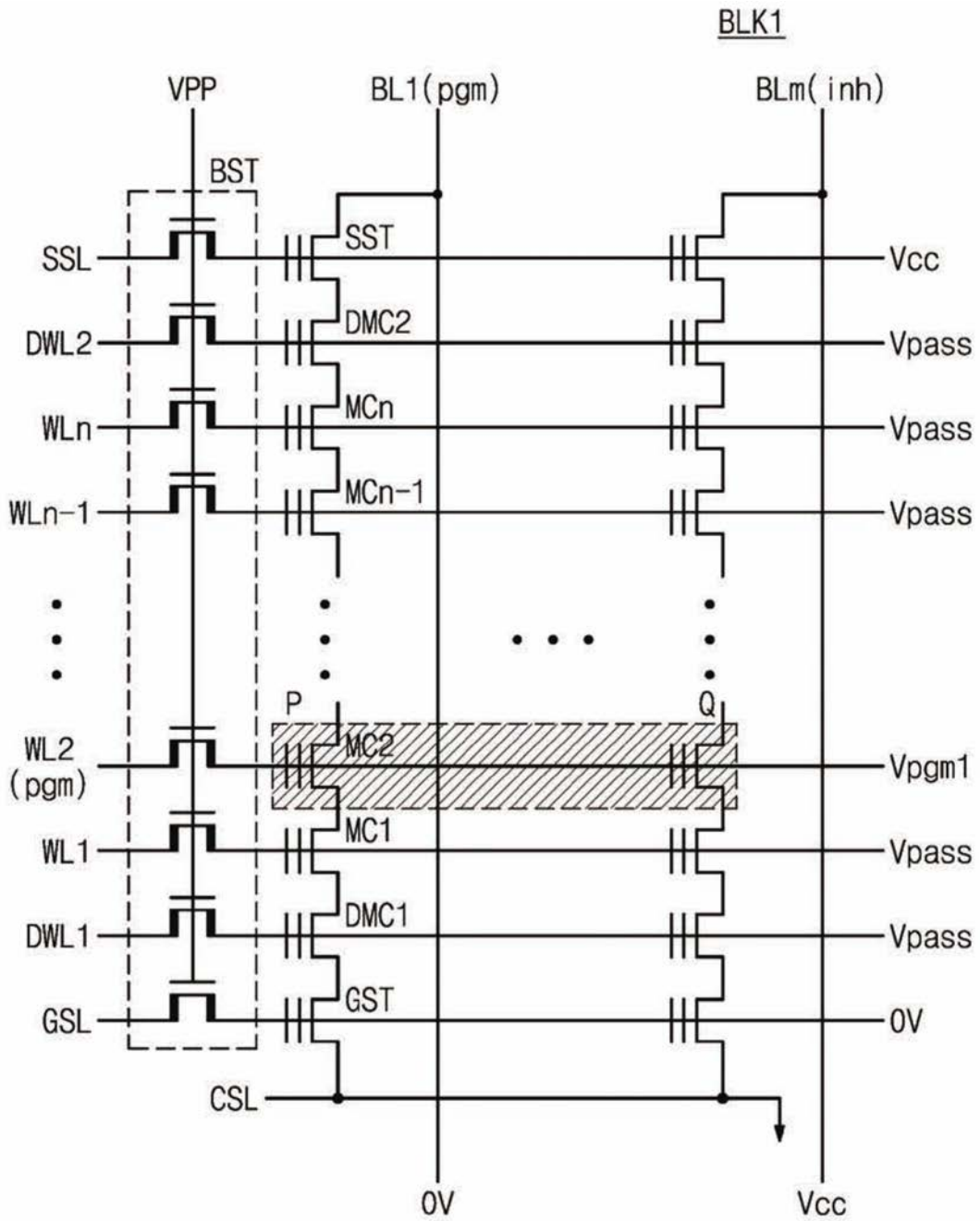


图5

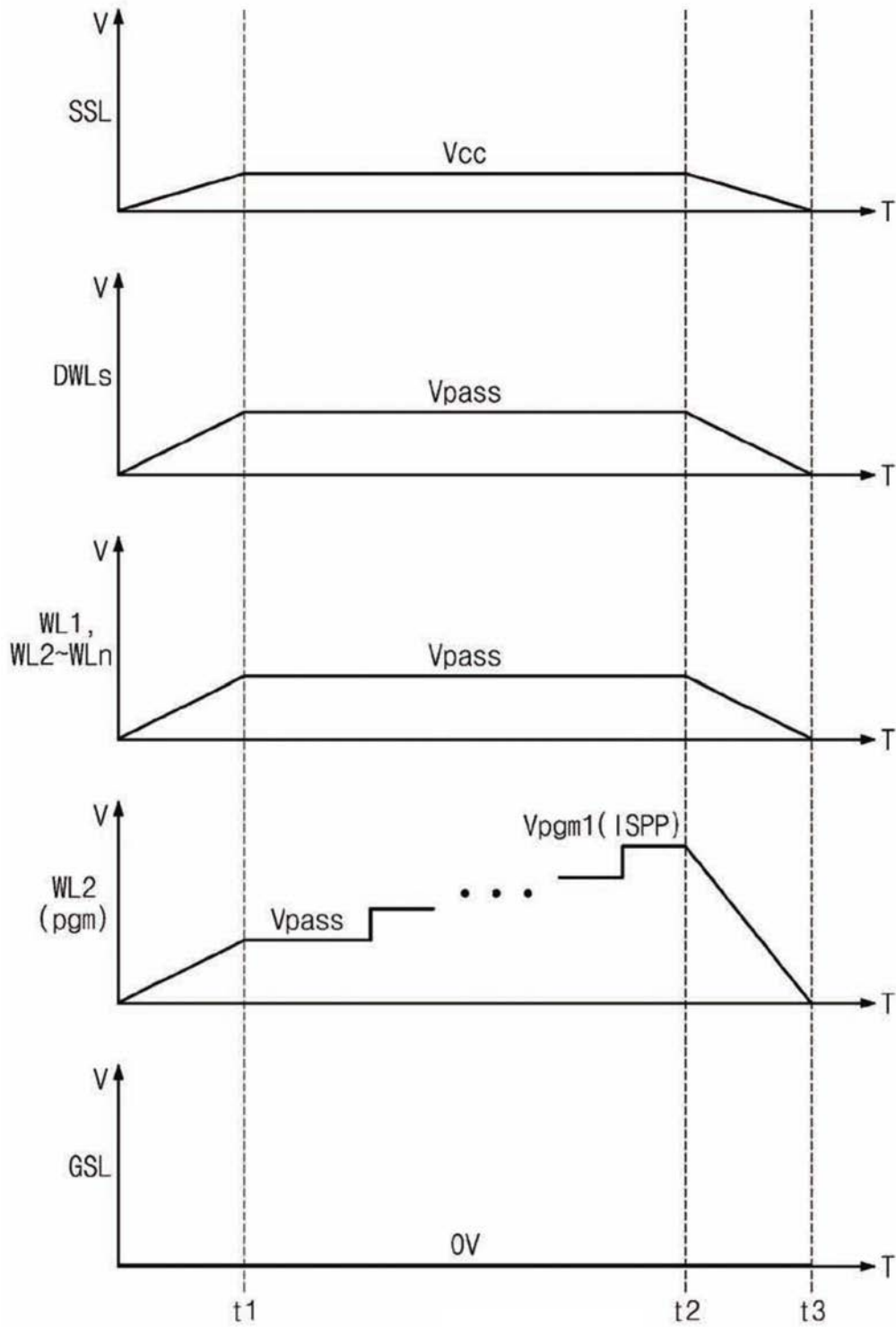


图6

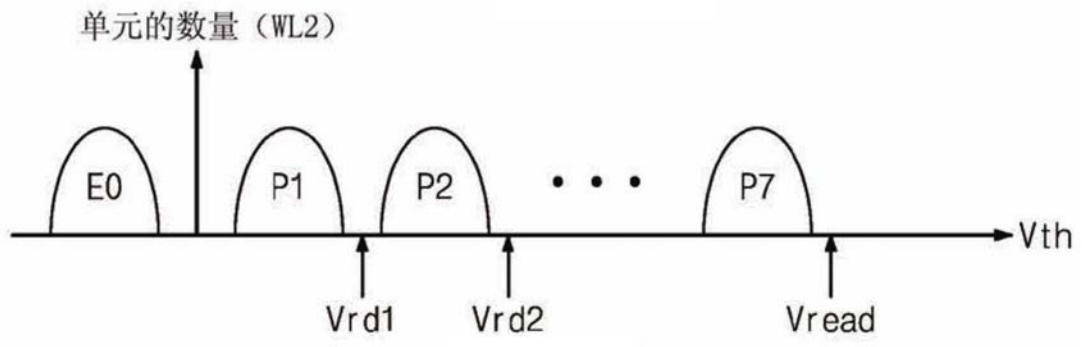


图7

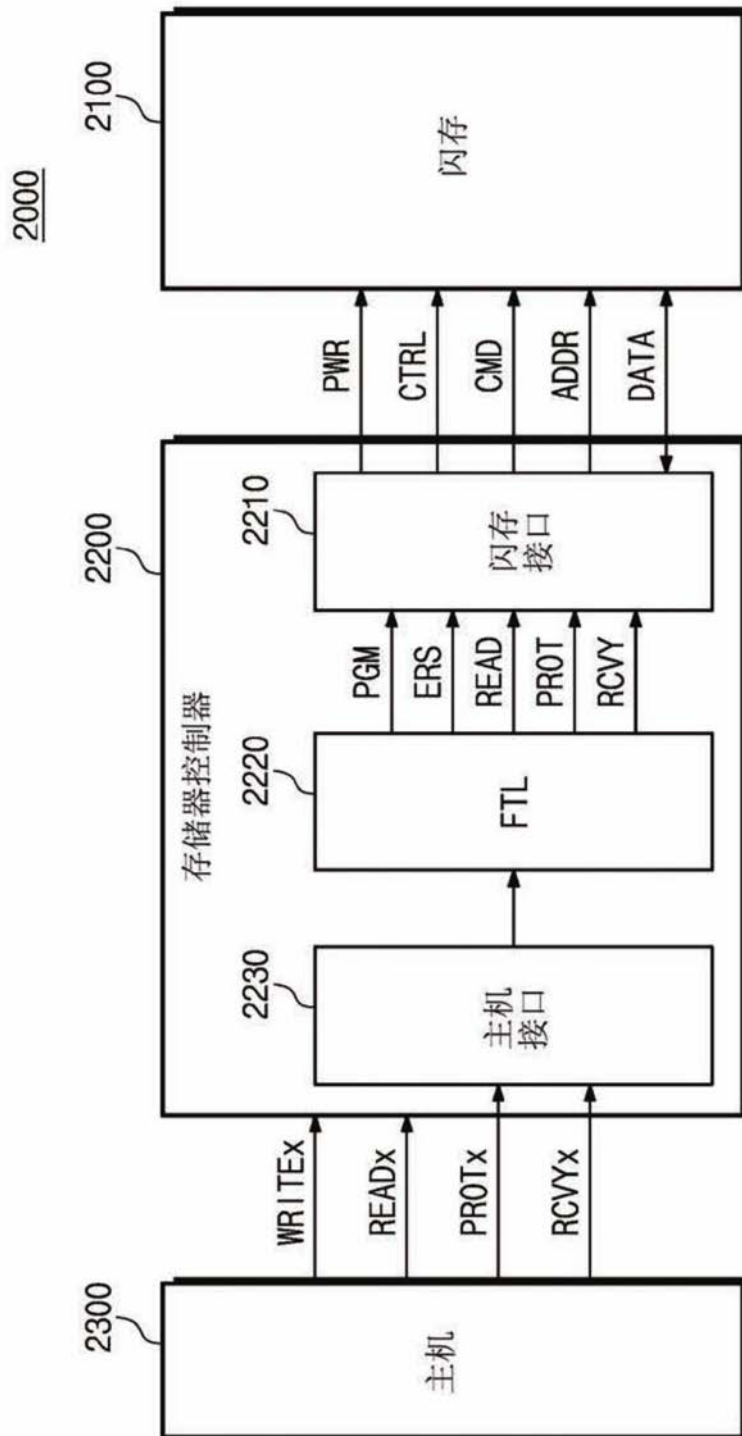


图8

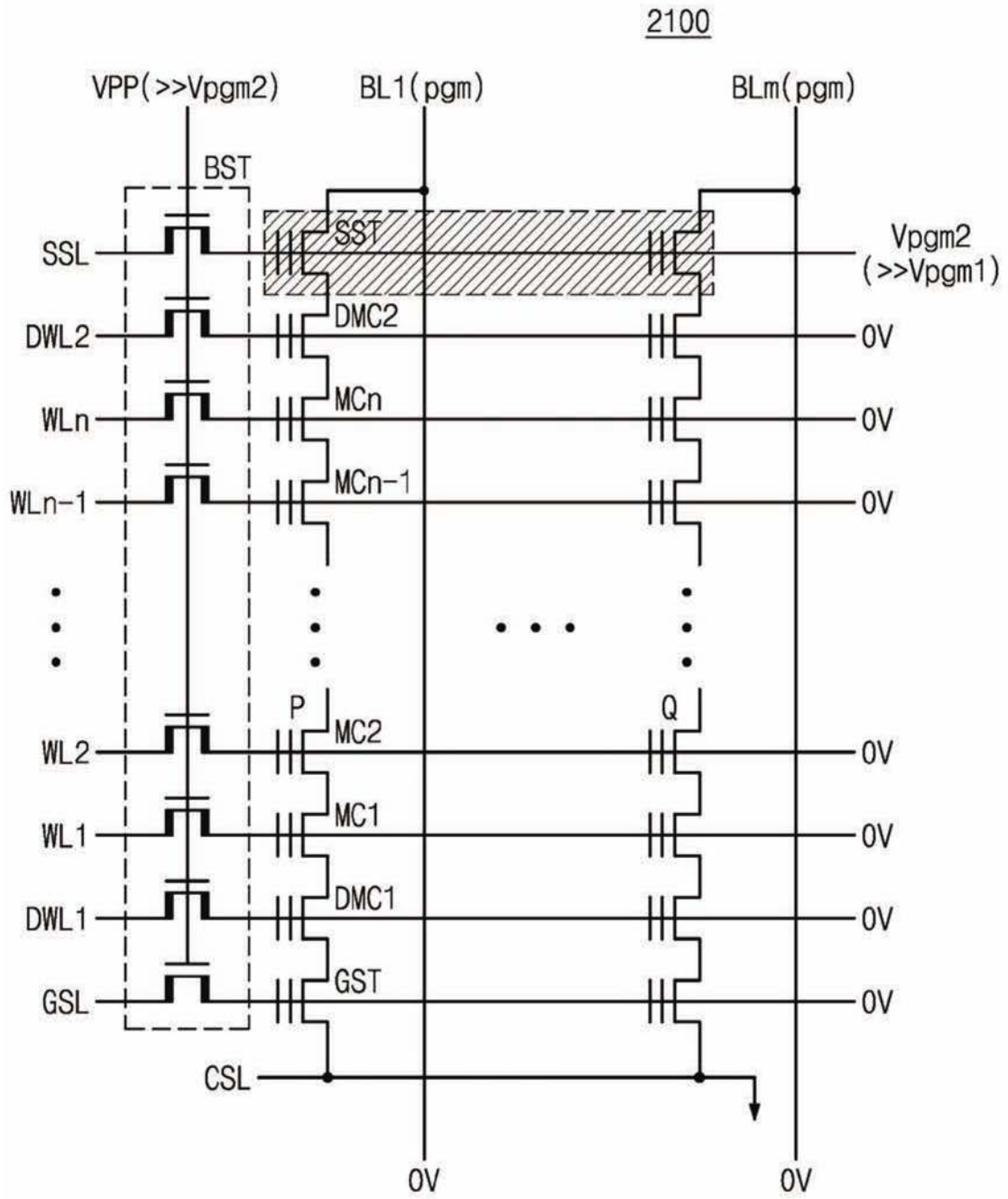


图9

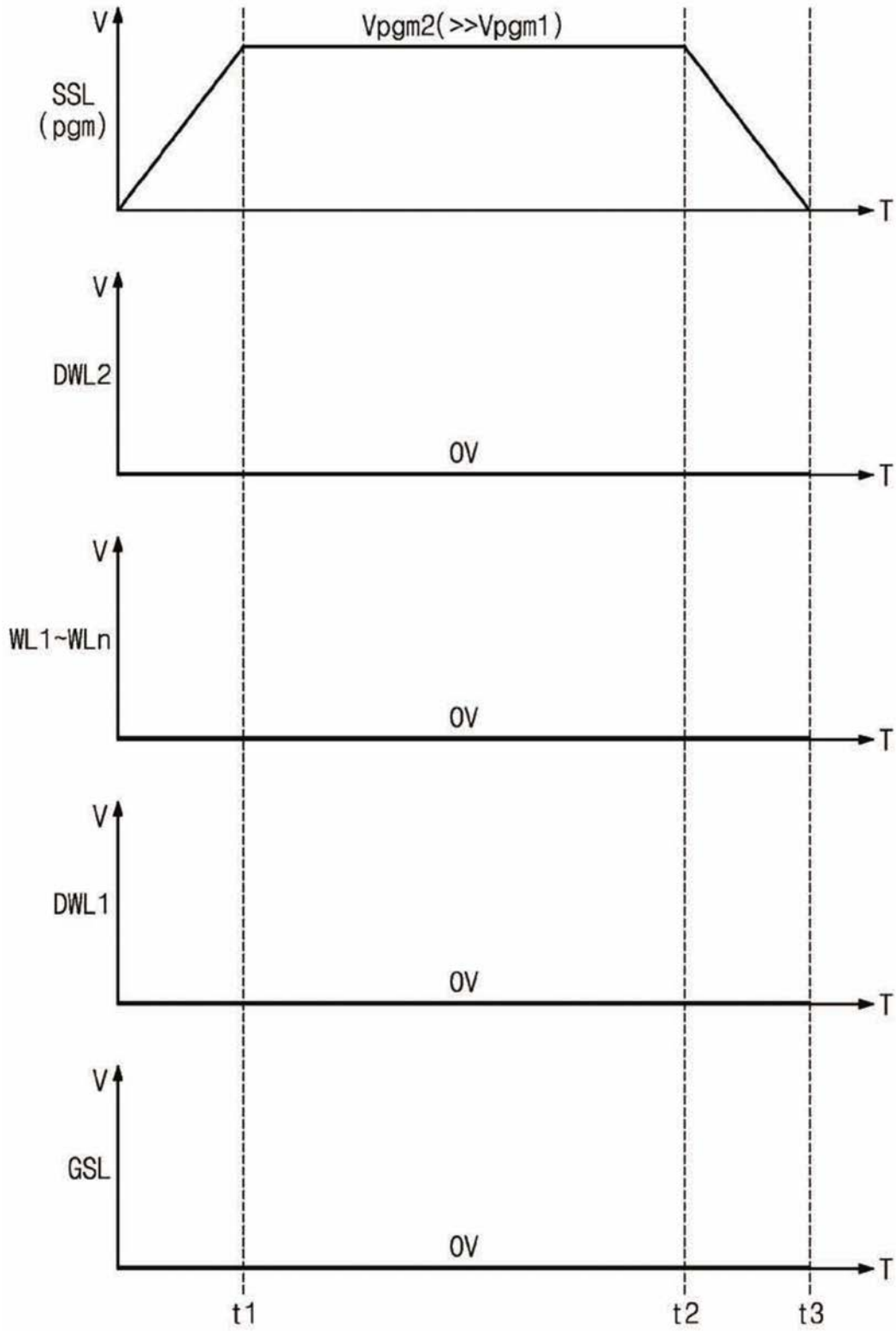


图10

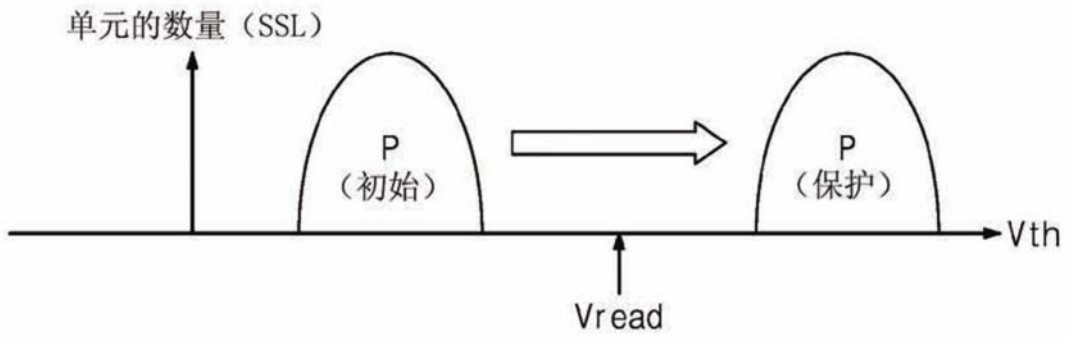


图11

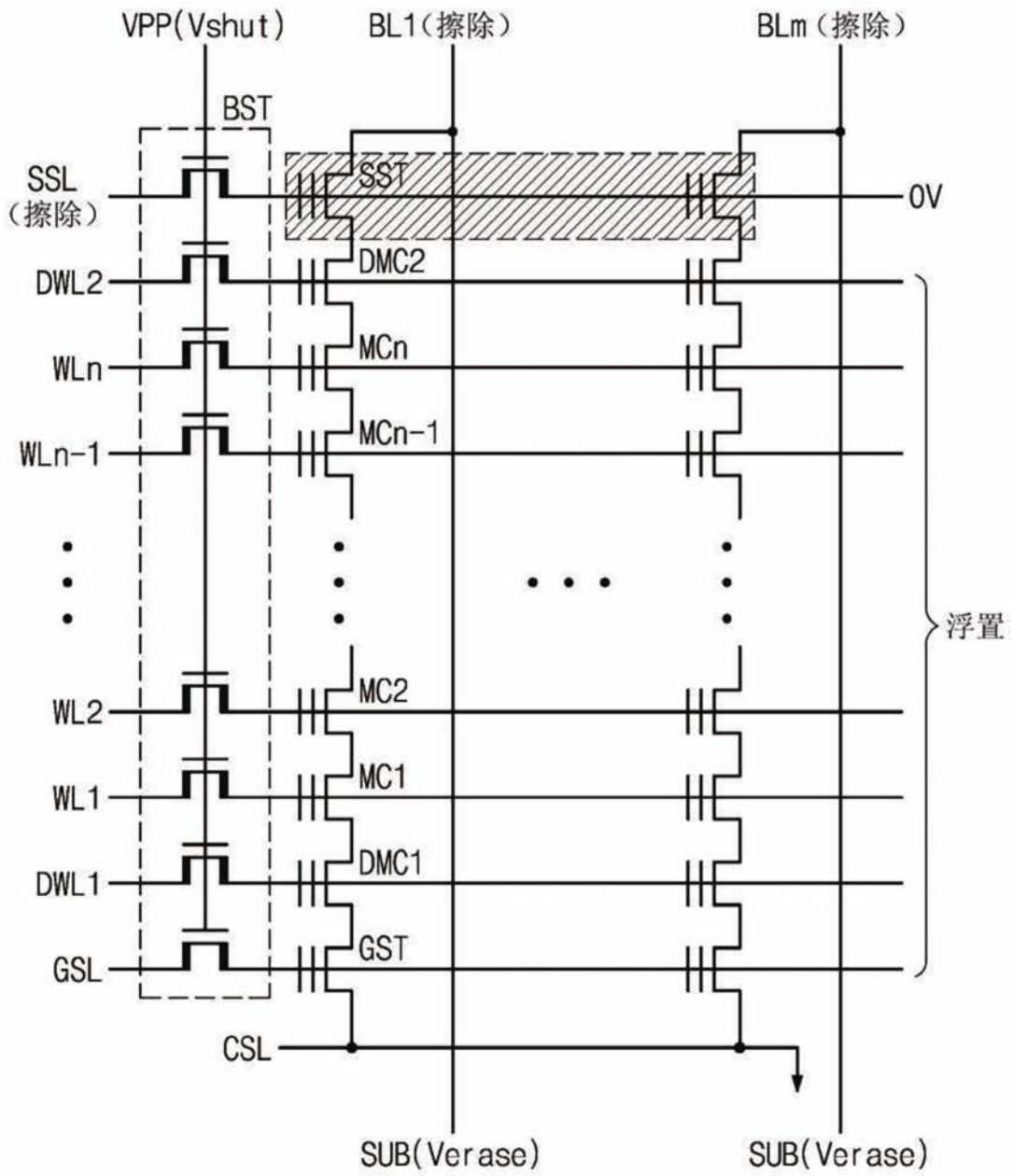


图12

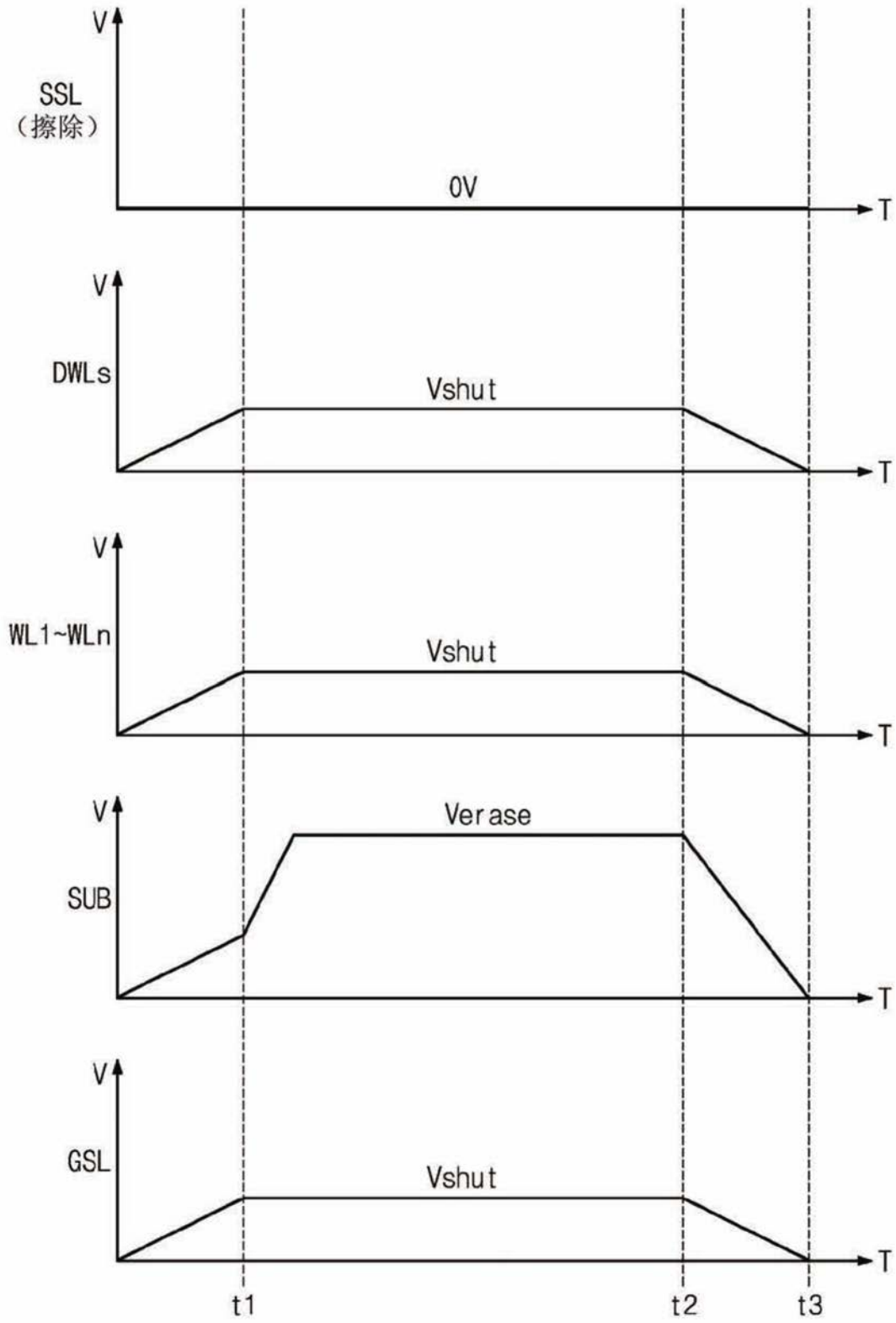


图13

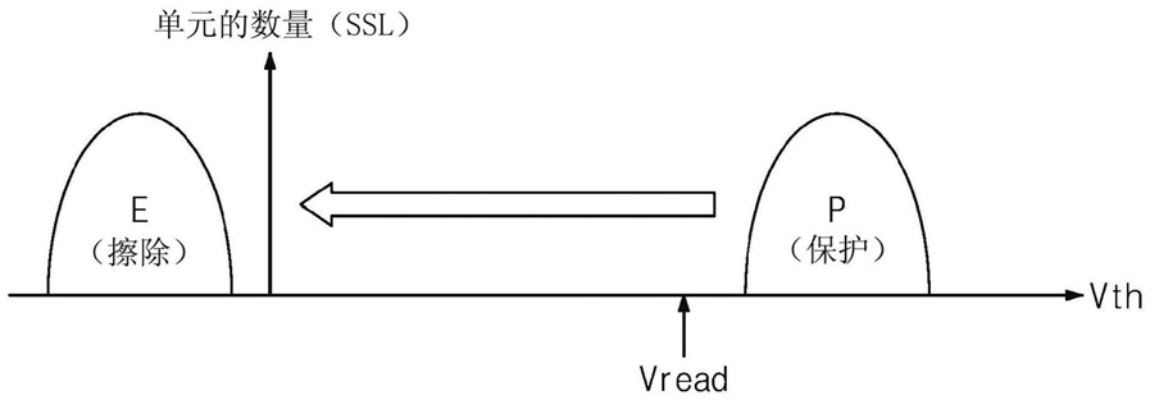


图14

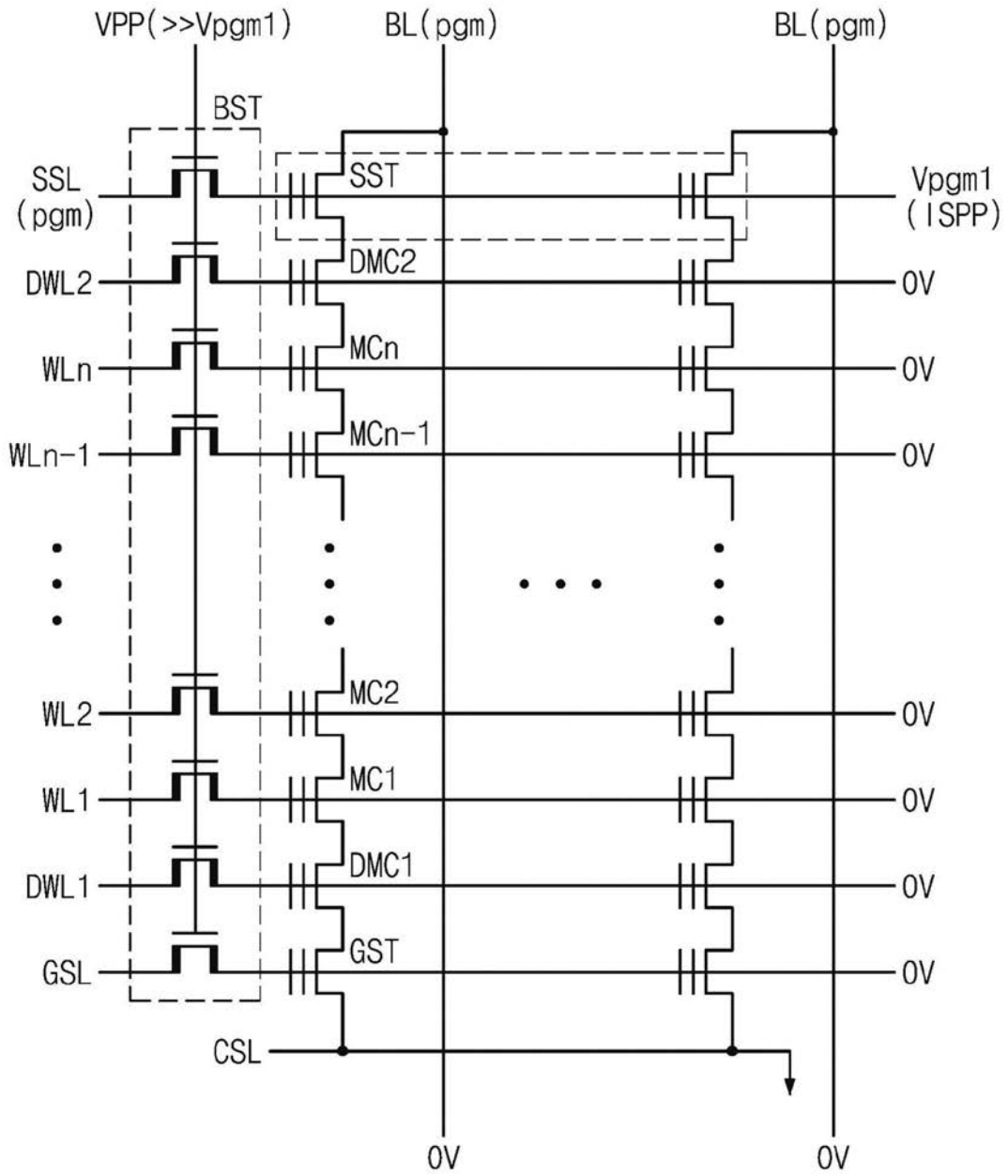


图15

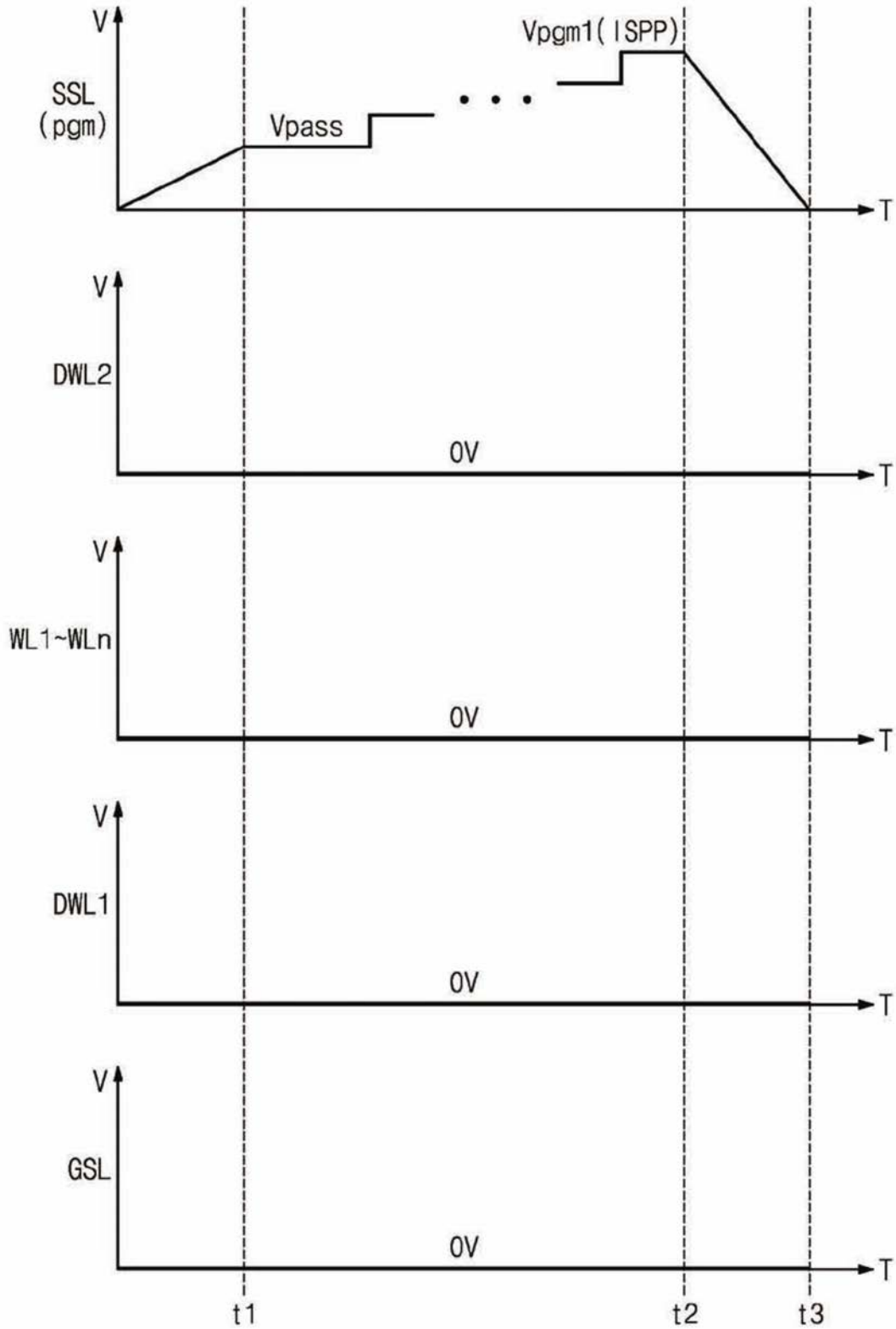


图16

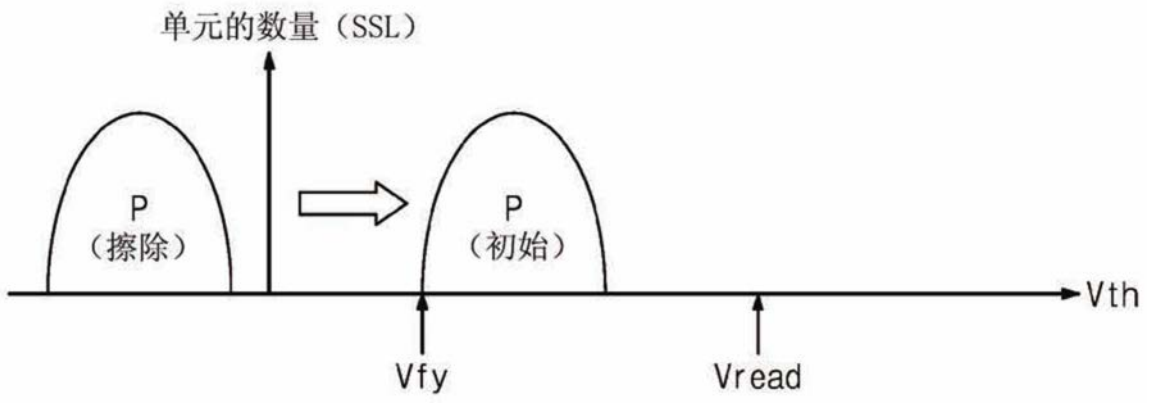


图17

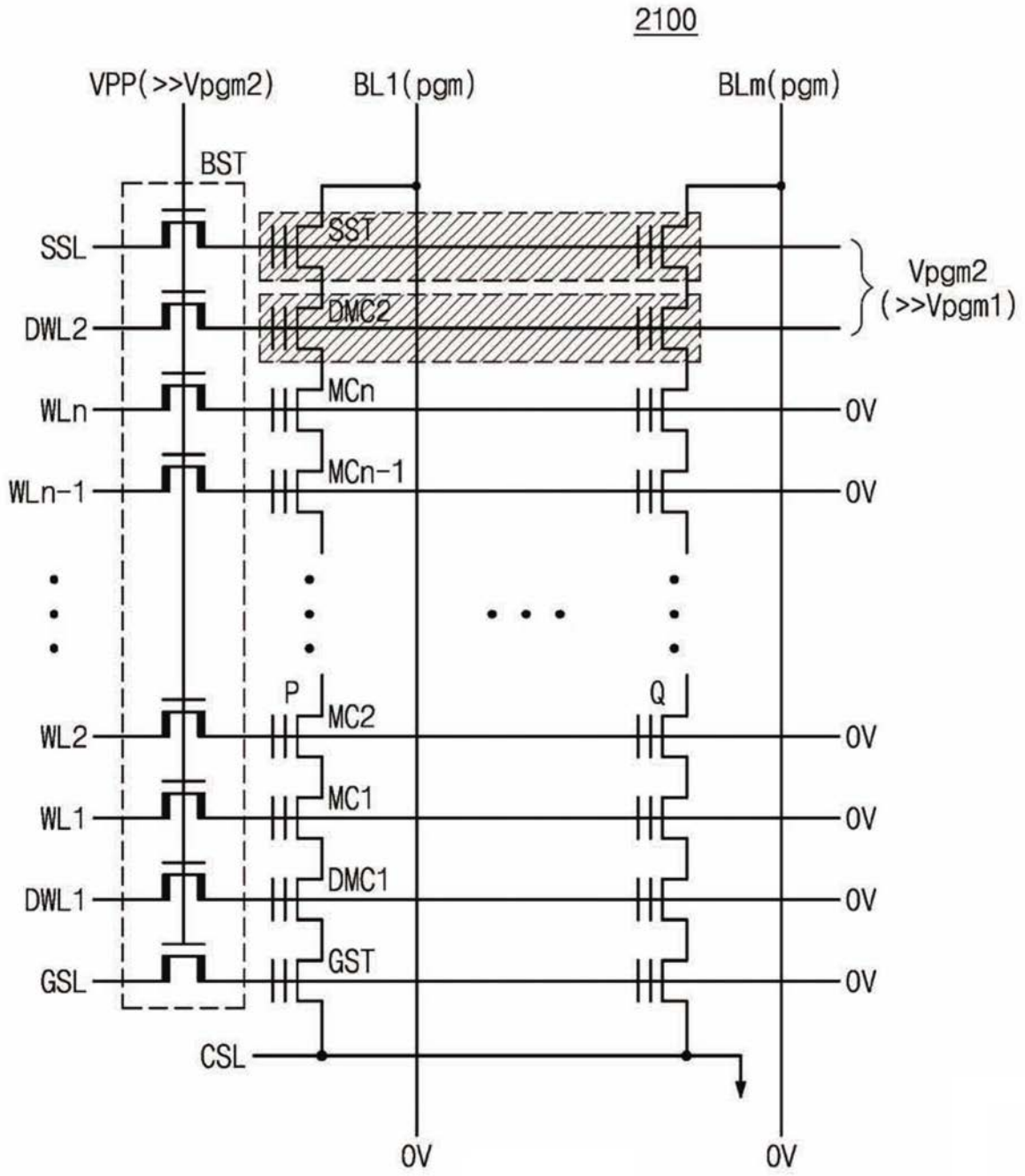


图18

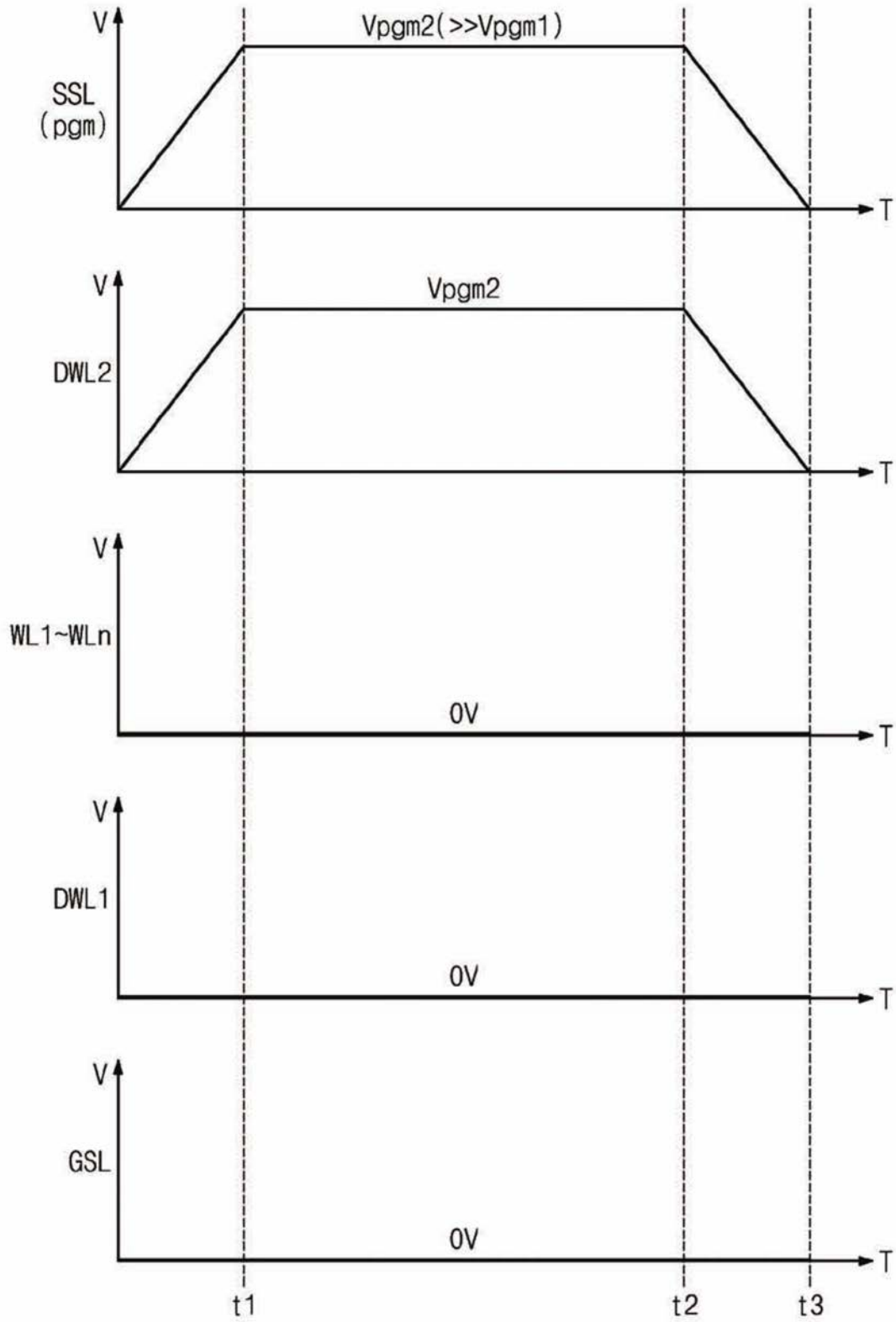


图19

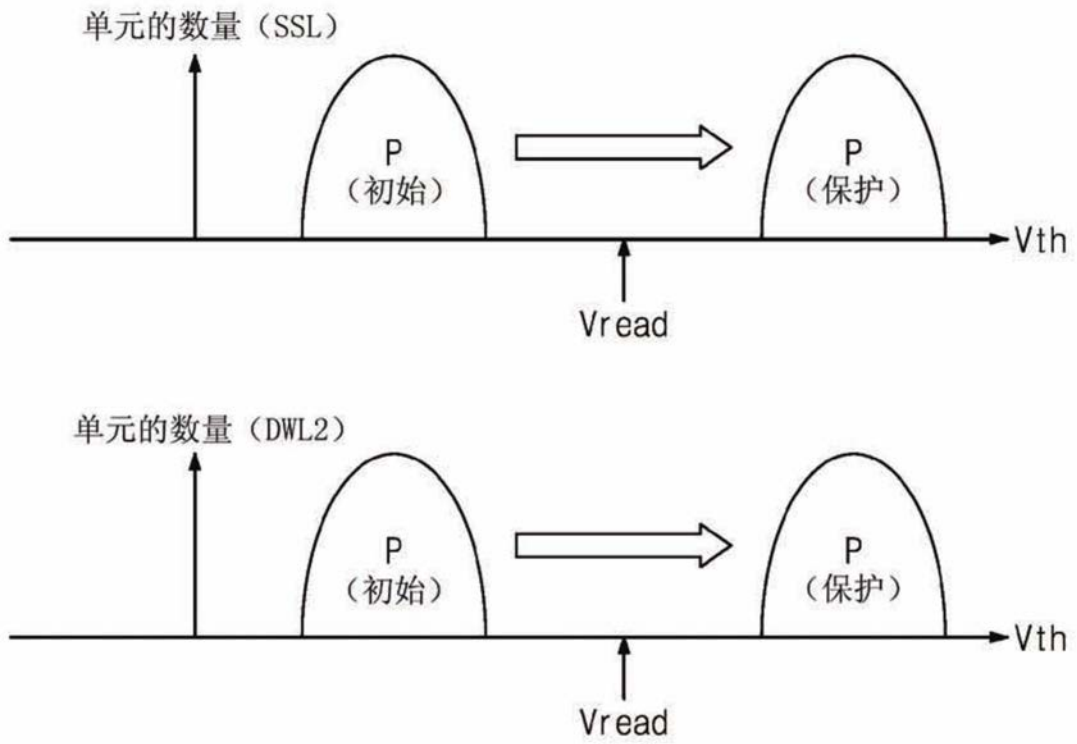


图20

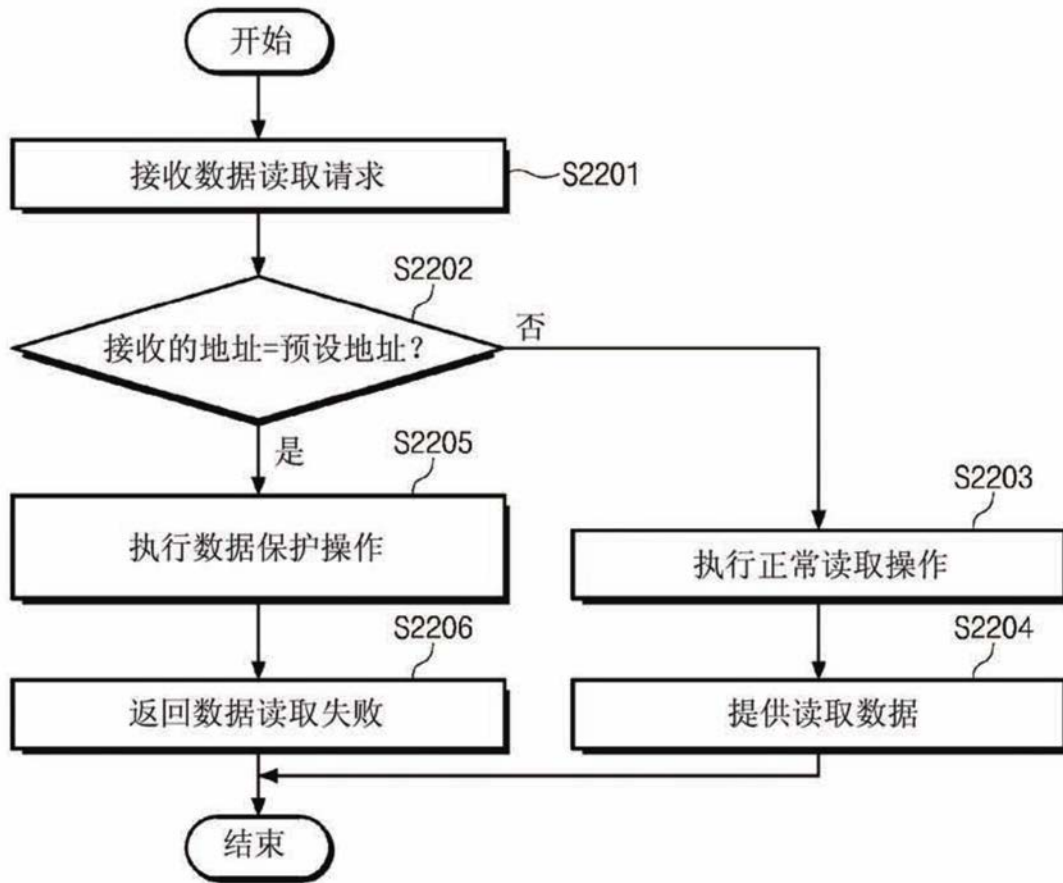


图21

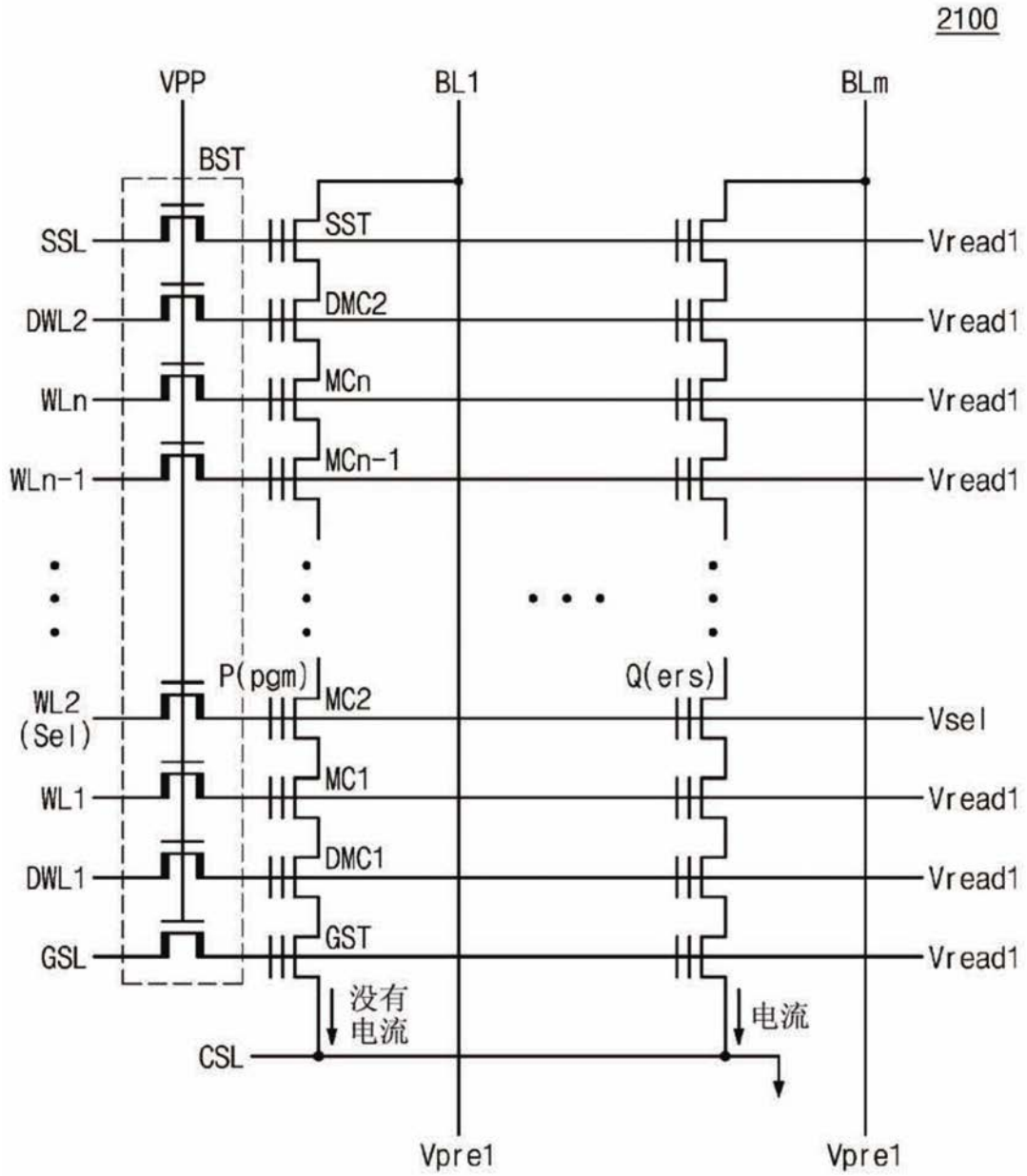


图22

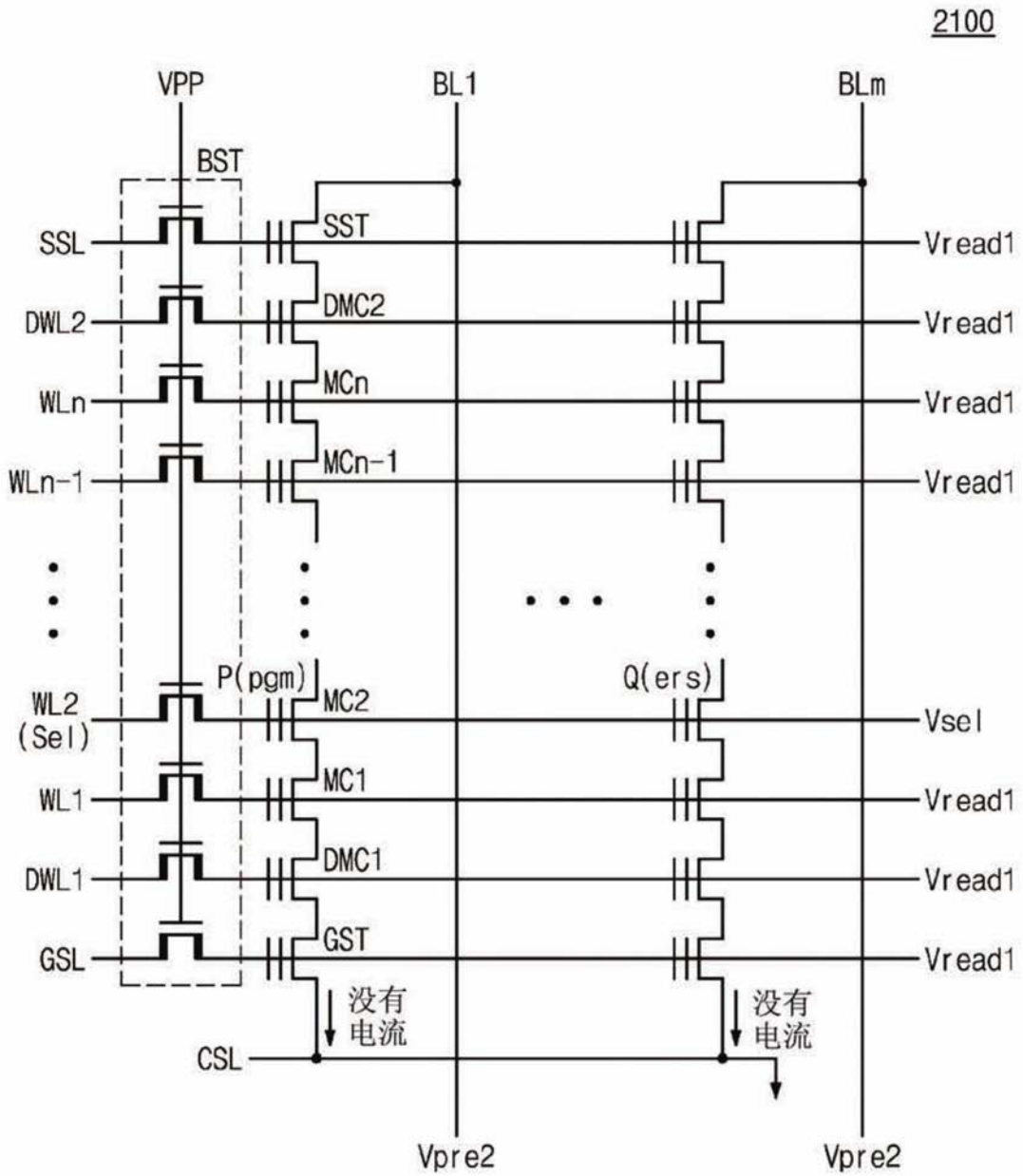


图23

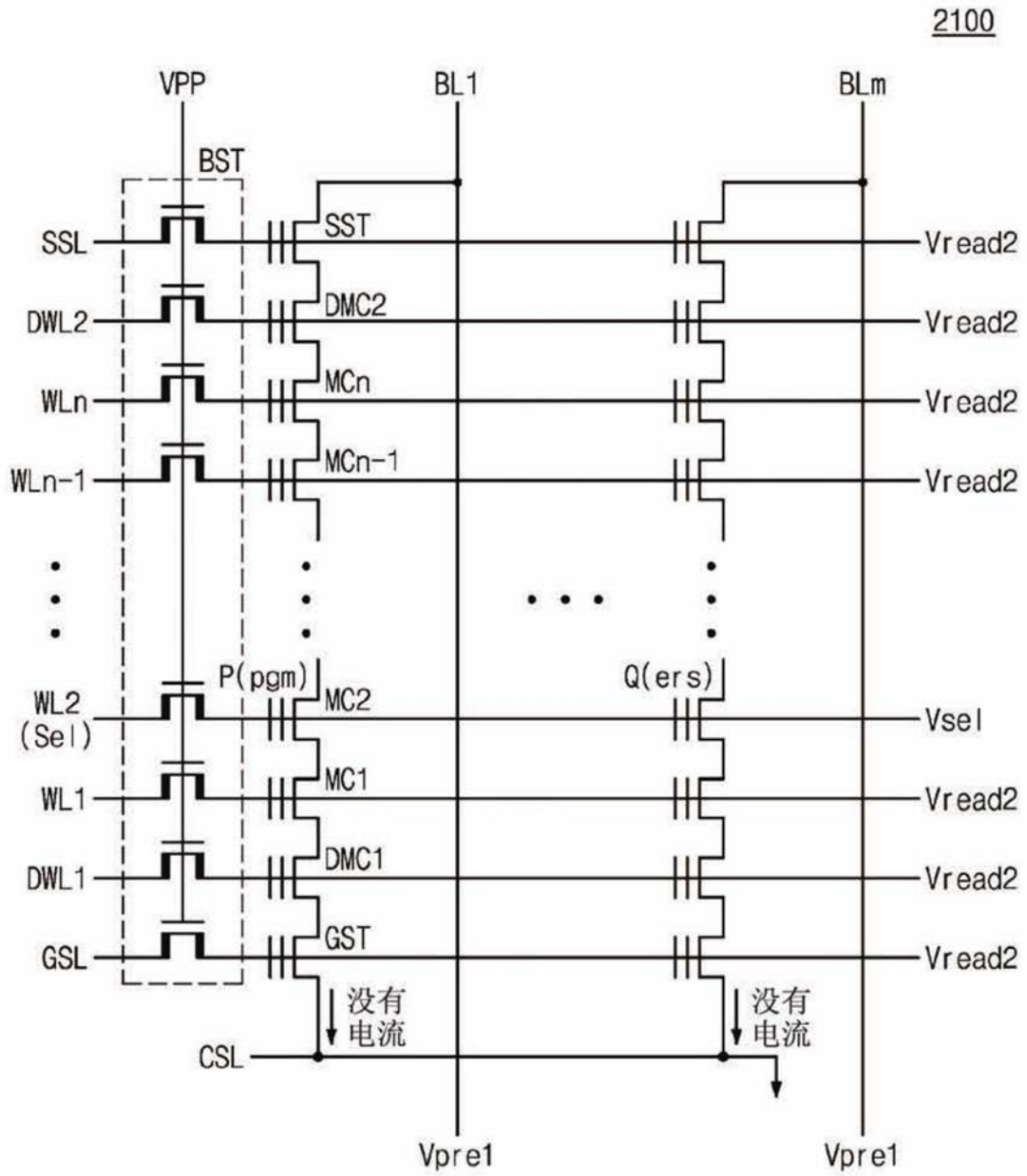


图24

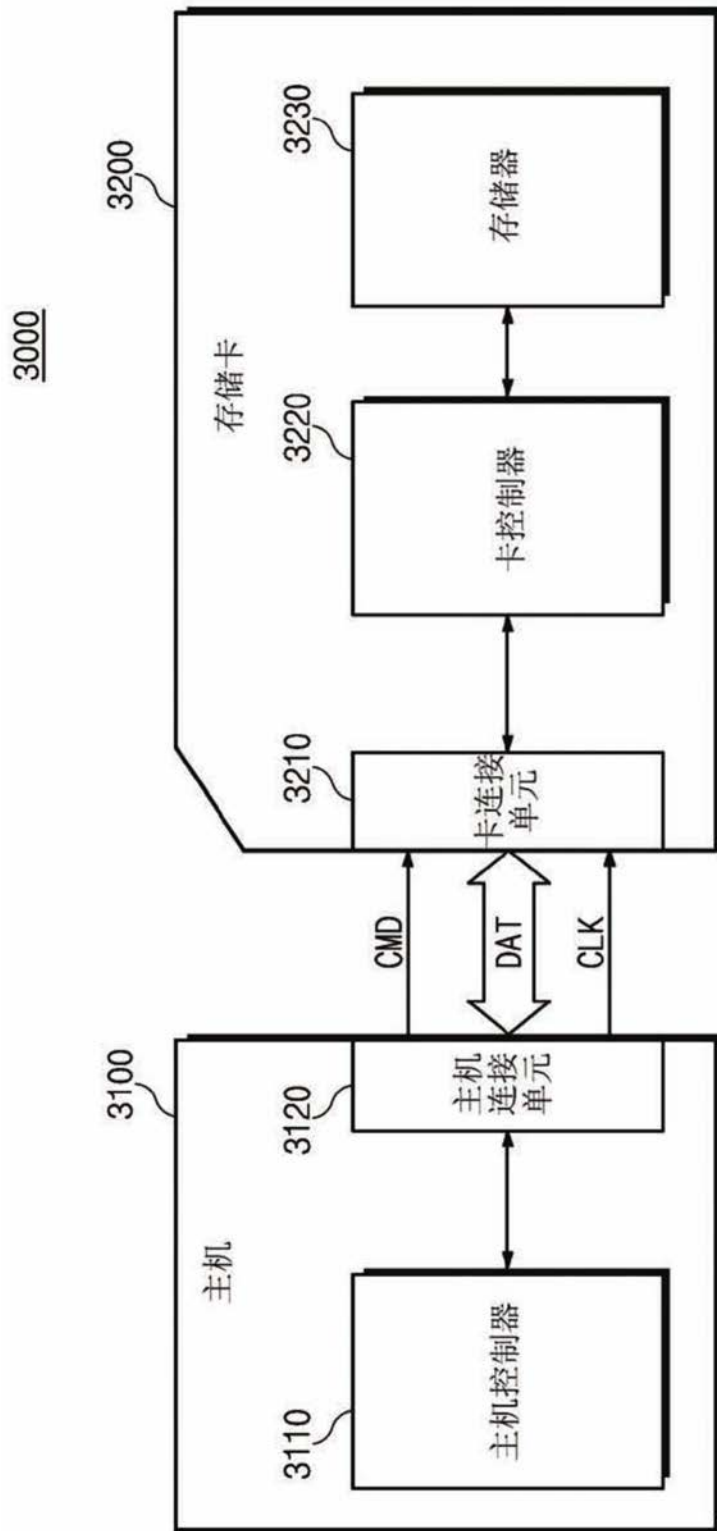


图25

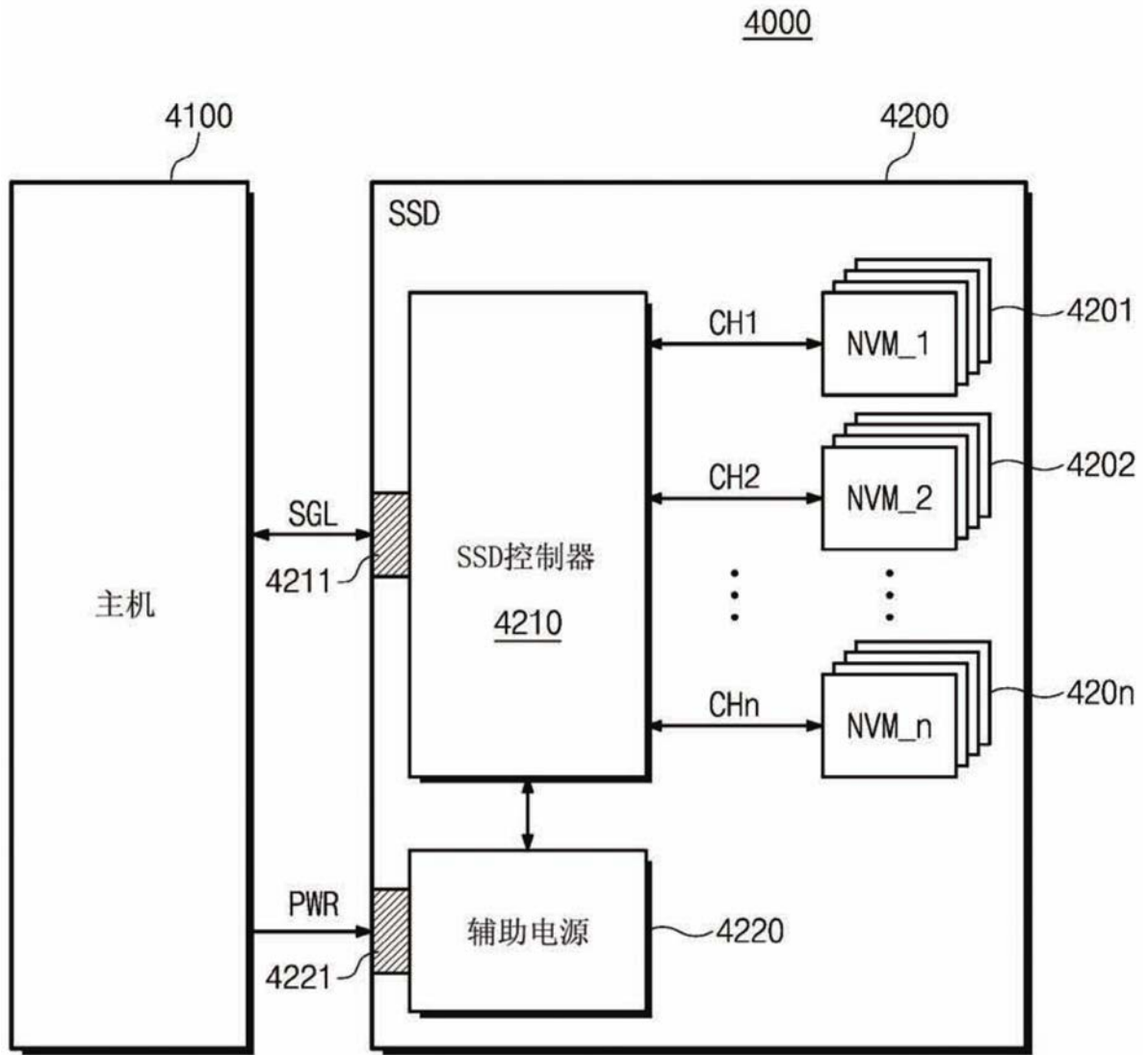


图26

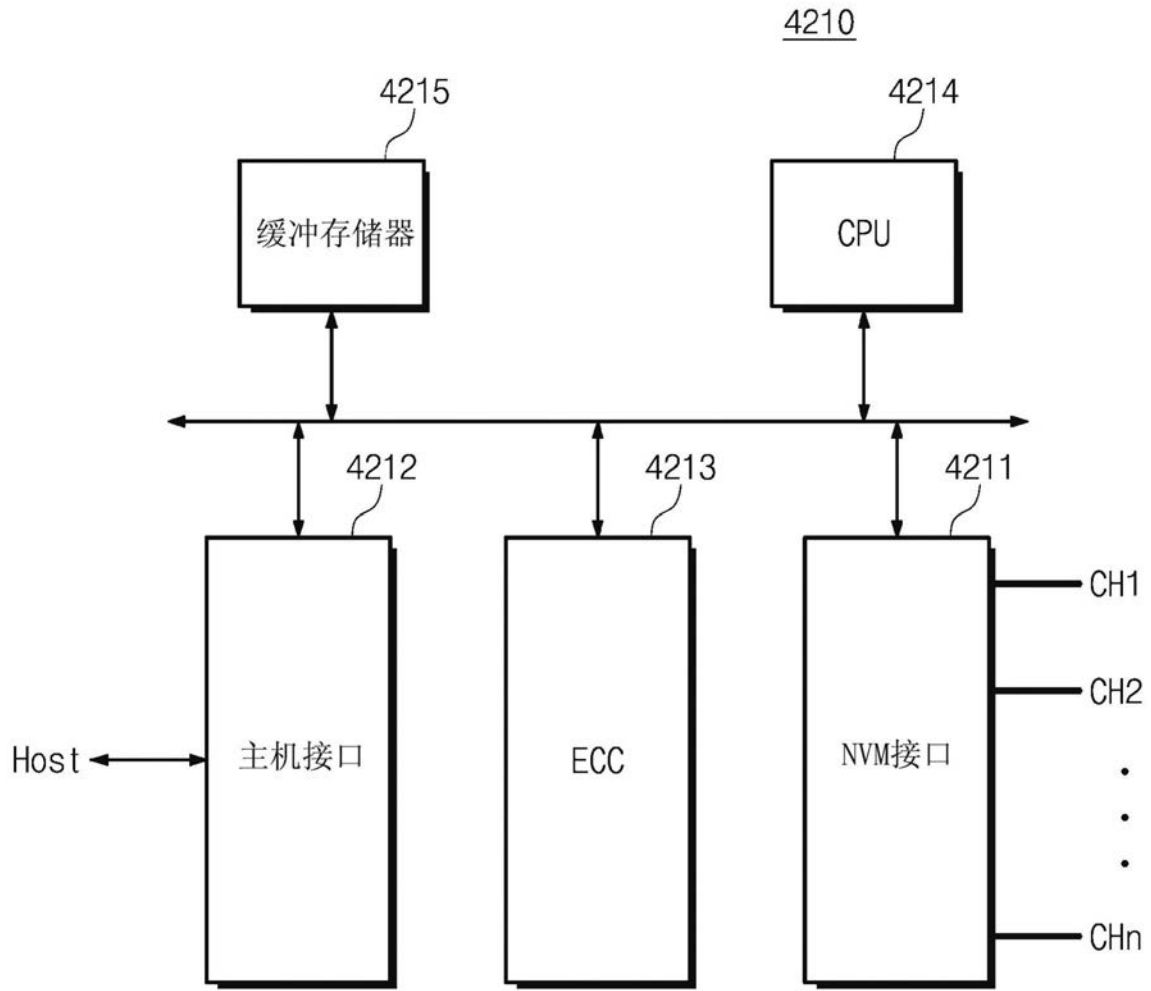


图27

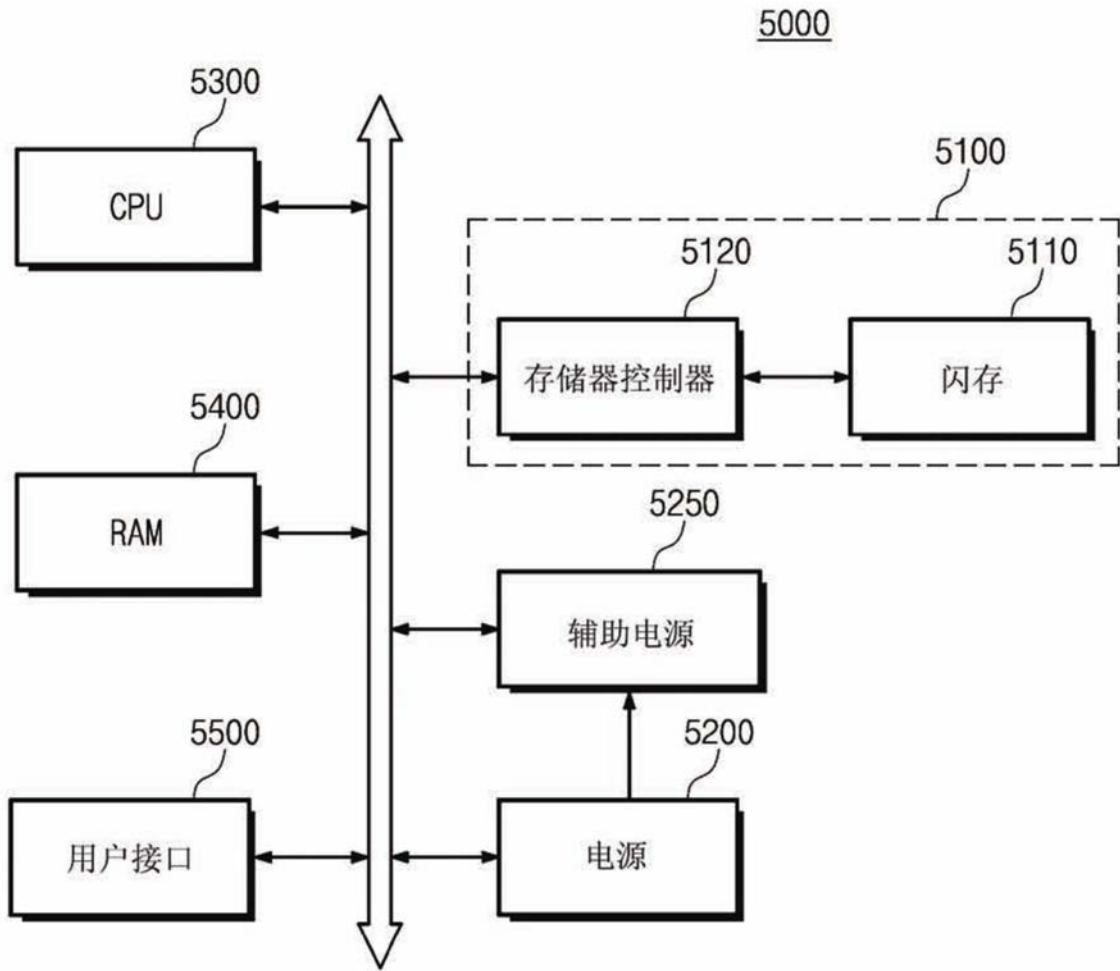


图28