



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0144389
(43) 공개일자 2020년12월29일

(51) 국제특허분류(Int. Cl.)
G06F 3/06 (2006.01)

(52) CPC특허분류
G06F 3/0614 (2013.01)
G06F 3/0611 (2013.01)

(21) 출원번호 10-2019-0072403

(22) 출원일자 2019년06월18일
심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 삼성로 129 (매탄동)

서울대학교산학협력단

서울특별시 관악구 관악로 1 (신림동)

(72) 발명자

이경덕

서울특별시 용산구 한남대로40길 71 (한남동) 302호

김지홍

서울특별시 관악구 관악로 1 서울대학교 302동 328호

(뒷면에 계속)

(74) 대리인

특허법인 고려

전체 청구항 수 : 총 21 항

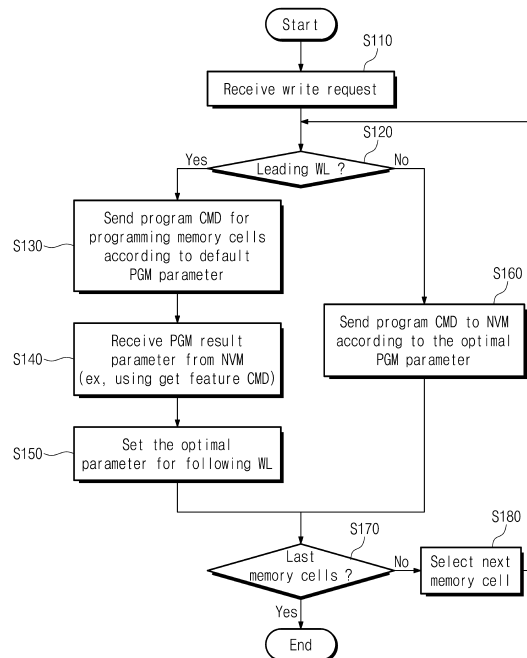
(54) 발명의 명칭 스토리지 장치 및 그것의 액세스 방법

(57) 요약

본 발명의 실시 예에 따른 각각 복수의 워드 라인들이 형성되는 반도체 레이어들이 적층되는 메모리 블록을 포함하는 불휘발성 메모리 장치의 액세스 방법은, 상기 메모리 블록으로의 쓰기 요청을 수신하는 단계, 상기 쓰기 요청이 리딩 워드 라인에 대응하는지 판단하는 단계, 상기 쓰기 요청이 상기 리딩 워드 라인에 대응하는 경우, 상

(뒷면에 계속)

대표도 - 도8



기 리딩 워드 라인에 연결된 메모리 셀들을 디폴트 프로그램 모드로 프로그램하는 단계, 상기 리딩 워드 라인에 연결된 메모리 셀들에 대한 프로그램 결과 정보를 독출하는 단계, 그리고 상기 프로그램 결과 정보를 참조하여 팔로잉 워드 라인에 연결된 메모리 셀들을 최적 프로그램 모드로 프로그램하는 단계를 포함하되, 상기 최적 프로그램 모드는 상기 디폴트 프로그램 모드에 비하여 프로그램 펄스 수, 프로그램 검증 펄스 수, 프로그램 시작 전압, 그리고 프로그램 종료 전압 중 적어도 하나를 조정한 동작 모드이다.

상술한 본 발명의 실시 예에 따라, 허용된 신뢰성 범위 내에서 불휘발성 메모리 장치로의 접근 속도를 높일 수 있다.

(52) CPC특허분류

G06F 3/064 (2013.01)

G06F 3/0679 (2013.01)

G11C 16/10 (2013.01)

G11C 16/26 (2013.01)

(72) 발명자

심영섭

서울특별시 송파구 올림픽로 435 (신천동, 파크리오) 파크리오 228동 1801호

권기록

경기도 화성시 동탄반석로 16 (반송동, 동탄나루마을 월드메르디앙 반도유보라) 631동 1802호

김명석

서울특별시 강남구 도곡로18길 35 (도곡동, 현대아파트) 도곡현대아파트 3동 303호

명세서

청구범위

청구항 1

복수의 워드 라인들이 형성되는 반도체 레이어들이 적층되는 메모리 블록을 포함하는 불휘발성 메모리 장치의 액세스 방법에 있어서:

상기 메모리 블록으로의 쓰기 요청을 수신하는 단계;

상기 쓰기 요청이 리딩 워드 라인에 대응하는지 판단하는 단계;

상기 쓰기 요청이 상기 리딩 워드 라인에 대응하는 경우, 상기 리딩 워드 라인에 연결된 상기 메모리 셀들을 디폴트 프로그램 모드로 프로그램하는 단계;

상기 리딩 워드 라인에 연결된 메모리 셀들에 대한 프로그램 결과 정보를 독출하는 단계; 그리고

상기 프로그램 결과 정보를 참조하여 팔로잉 워드 라인에 연결된 메모리 셀들을 최적 프로그램 모드로 프로그램 하는 단계를 포함하되,

상기 최적 프로그램 모드는 상기 디폴트 프로그램 모드에 비하여 프로그램 펄스 수, 프로그램 검증 펄스 수, 프로그램 시작 전압, 그리고 프로그램 종료 전압 중 적어도 하나를 조정한 동작 모드인 액세스 방법.

청구항 2

제 1 항에 있어서,

상기 리딩 워드 라인은 상기 메모리 블록의 상기 반도체 레이어들 각각에 적어도 하나가 할당되는 액세스 방법.

청구항 3

제 2 항에 있어서,

상기 리딩 워드 라인은, 상기 리딩 워드 라인이 포함되는 어느 하나의 반도체 레이어 내의 워드 라인들 중 액세스 시퀀스가 가장 빠른 워드 라인에 대응하는 액세스 방법.

청구항 4

제 1 항에 있어서,

상기 리딩 워드 라인은 상기 메모리 블록 내에서 하나의 워드 라인에만 할당되는 액세스 방법.

청구항 5

제 4 항에 있어서,

상기 리딩 워드 라인은 상기 메모리 블록의 상기 복수의 워드 라인들 중 액세스 시퀀스가 가장 빠른 워드 라인에 대응하는 액세스 방법.

청구항 6

제 5 항에 있어서,

상기 팔로잉 워드 라인은 상기 리딩 워드 라인과 동일한 반도체 레이어에 위치하고, 상기 최적 프로그램 모드를 위한 최적 프로그램 파라미터는 수평 레이어 유사성(Horizontal layer similarity)을 고려하여 결정되는 액세스 방법.

청구항 7

제 5 항에 있어서,

상기 팔로잉 워드 라인은 상기 리딩 워드 라인과 다른 반도체 레이어에 위치하고, 상기 최적 프로그램 모드를 위한 최적 프로그램 파라미터는 수직 레이어 변이성(Vertical layer variability)을 고려하여 결정되는 액세스 방법.

청구항 8

제 1 항에 있어서,

상기 프로그램 결과 정보에는, 상기 리딩 워드 라인에 연결된 메모리 셀들의 프로그램 루프별 검증 전압(Verify voltage) 이상으로 프로그램된 셀 수(Cell count), 상기 검증 전압 이상으로 프로그램된 셀 수가 기준치(TH)를 초과하는 프로그램 루프 수, 그리고 타깃 상태별 프로그램 패스되는 루프 수 중 적어도 하나를 포함하는 액세스 방법.

청구항 9

반도체 레이어들이 적층되는 메모리 블록을 포함하는 불휘발성 메모리 장치; 그리고

상기 메모리 블록에 포함되는 워드 라인들을 리딩 워드 라인과 팔로잉 워드 라인으로 분류하여 관리하는 스토리지 컨트롤러를 포함하며,

상기 스토리지 컨트롤러는, 상기 리딩 워드 라인에 연결된 메모리 셀들은 디폴트 프로그램 모드로 프로그램하도록, 상기 팔로잉 워드 라인에 연결되는 메모리 셀들은 최적 프로그램 모드로 프로그램하도록 상기 불휘발성 메모리 장치를 제어하되,

상기 최적 프로그램 모드에서 상기 디폴트 프로그램 모드의 실행 결과인 프로그램 결과 정보로부터 생성된 최적 프로그램 파라미터가 사용되며,

상기 최적 프로그램 파라미터는, 상기 디폴트 프로그램 모드에서 사용된 디폴트 프로그램 파라미터로부터 프로그램 펄스 수, 프로그램 검증 펄스 수, 프로그램 시작 전압, 프로그램 종료 전압 중 적어도 하나가 조정된 값인 스토리지 장치.

청구항 10

제 9 항에 있어서,

상기 프로그램 결과 정보는 갯 피쳐 명령어(Get feature command)에 응답하여 상기 불휘발성 메모리 장치로부터 출력되는 스토리지 장치.

청구항 11

제 10 항에 있어서,

상기 최적 프로그램 파라미터는 셋 피쳐 명령어(Set feature command)를 통해서 상기 불휘발성 메모리 장치에 제공되는 스토리지 장치.

청구항 12

제 9 항에 있어서,

상기 리딩 워드 라인은 상기 메모리 블록의 상기 반도체 레이어들 각각에 적어도 하나가 할당되는 스토리지 장치.

청구항 13

제 9 항에 있어서,

상기 리딩 워드 라인은 상기 메모리 블록의 상기 반도체 레이어들 중 어느 하나의 레이어에만 할당되는 스토리지 장치.

청구항 14

제 13 항에 있어서,

상기 리딩 워드 라인이 위치한 반도체 레이어와 다른 반도체 레이어에 위치하는 경우, 상기 팔로잉 워드 라인의 상기 최적 프로그램 파라미터는 수직 레이어 변이성(Vertical layer variability)을 고려하여 결정되고, 상기 리딩 워드 라인이 위치한 상기 반도체 레이어와 동일한 반도체 레이어에 위치하는 경우, 상기 팔로잉 워드 라인의 상기 최적 프로그램 파라미터는 수평 레이어 유사성(Horizontal layer similarity)을 고려하여 결정되는 스토리지 장치.

청구항 15

복수의 반도체 레이어들을 적층하여 형성된 메모리 블록을 포함하는 불휘발성 메모리 장치; 그리고

상기 불휘발성 메모리 장치를 제어하는 스토리지 컨트롤러를 포함하되,

상기 스토리지 컨트롤러는:

상기 메모리 블록으로의 접근 요청이 리딩 워드 라인에 대응하면, 상기 리딩 워드 라인에 연결된 메모리 셀들은 디폴트 프로그램 모드로 프로그램하도록 상기 불휘발성 메모리 장치를 제어하고, 상기 접근 요청이 팔로잉 워드 라인에 대응하면, 상기 팔로잉 워드 라인에 연결된 메모리 셀들은 최적 프로그램 모드로 프로그램하도록 상기 불휘발성 메모리 장치를 제어하는 워드 라인 모니터; 그리고

상기 디폴트 프로그램 모드의 실행에 따라 제공되는 프로그램 결과 정보로부터 상기 최적 프로그램 모드를 위한 최적 프로그램 파라미터를 생성하는 최적 파라미터 매니저를 포함하는 스토리지 장치.

청구항 16

제 15 항에 있어서,

상기 워드 라인 모니터는 상기 메모리 블록에 포함되는 복수의 워드 라인들 중에서 프로그램 시퀀스에 따라 최초로 선택되는 워드 라인을 상기 리딩 워드 라인으로 할당하는 스토리지 장치.

청구항 17

제 15 항에 있어서,

상기 워드 라인 모니터는 상기 복수의 반도체 레이어들 각각에 적어도 하나의 상기 리딩 워드 라인을 할당하는 스토리지 장치.

청구항 18

제 17 항에 있어서,

상기 메모리 컨트롤러는,

상기 접근 요청이 기준 액세스 속도보다 낮은 저속 액세스 모드에 대응하면 적어도 하나의 상기 리딩 워드 라인을 선택하고,

상기 접근 요청이 상기 기준 액세스 속도보다 같거나 높은 고속 액세스 모드에 대응하면 상기 팔로잉 워드 라인을 선택하는 스토리지 장치.

청구항 19

제 18 항에 있어서,

상기 메모리 컨트롤러는 쓰기 버퍼를 더 포함하고,

상기 워드 라인 모니터는 상기 쓰기 버퍼의 사용율에 따라 상기 쓰기 버퍼에 저장된 데이터를 상기 메모리 블록에 프로그램하는 플러시 동작을 수행하되,

상기 사용율이 기준치보다 낮은 경우, 상기 워드 라인 모니터는 상기 플러시 동작을 위해 적어도 하나의 상기 리딩 워드 라인을 선택하는 스토리지 장치.

청구항 20

제 19 항에 있어서,

상기 사용율이 기준치 이상인 경우, 상기 워드 라인 모니터는 상기 플러시 동작을 위해 상기 팔로잉 워드 라인을 선택하는 스토리지 장치.

청구항 21

제 15 항에 있어서,

상기 최적 파라미터 매니저는 상기 프로그램 결과 정보에 대응하는 상기 최적 프로그램 파라미터를 맵핑하는 파라미터 테이블을 더 포함하는 스토리지 장치.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 메모리 장치에 관한 것으로, 좀 더 구체적으로는 스토리지 장치 및 그것의 액세스 방법에 관한 것이다.

배경 기술

[0002] 플래시 메모리 장치는 컴퓨터, 스마트폰, PDA, 디지털 카메라, 캠코더, 보이스 리코더, MP3 플레이어, 휴대용 컴퓨터(Handheld PC)와 같은 정보 기기들의 음성 및 영상 데이터 저장 매체로서 널리 사용되고 있다. 스토리지 장치로서 플래시 메모리 장치는 점점 보편화되고 있다. 최근에는, 플래시 메모리 장치의 집적도를 향상시키기 위하여, 3차원 어레이 구조를 갖는 반도체 메모리 장치가 보급되고 있다.

[0003] 3차원 어레이 구조의 플래시 메모리의 셀 스트링은 기판과 수직인 방향을 따라 적층된다. 즉, 메모리 셀들은 기판상에서 행 및 열을 따라 제공되며, 기판과 수직인 방향으로 적층되어 3차원 구조를 형성한다. 하지만, 메모리 셀들의 프로그램이나 읽기 특성, 소거 특성은 적층 레이어에 따라 달라지는 것으로 알려져 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 목적은 메모리 블록의 적층 구조의 특성을 고려하여 불휘발성 메모리 장치에 액세스하는 스토리지 장치 및 그것의 액세스 방법을 제공하는 데 있다.

과제의 해결 수단

[0005] 상기 목적을 달성하기 위한 본 발명의 실시 예에 따른 각각 복수의 워드 라인들이 형성되는 반도체 레이어들이 적층되는 메모리 블록을 포함하는 불휘발성 메모리 장치의 액세스 방법은, 상기 메모리 블록으로의 쓰기 요청을 수신하는 단계, 상기 쓰기 요청이 리딩 워드 라인에 대응하는지 판단하는 단계, 상기 쓰기 요청이 상기 리딩 워드 라인에 대응하는 경우, 상기 리딩 워드 라인에 연결된 메모리 셀들을 디폴트 프로그램 모드로 프로그램하는 단계, 상기 리딩 워드 라인에 연결된 메모리 셀들에 대한 프로그램 결과 정보를 독출하는 단계, 그리고 상기 프로그램 결과 정보를 참조하여 팔로잉 워드 라인에 연결된 메모리 셀들을 최적 프로그램 모드로 프로그램하는 단계를 포함하되, 상기 최적 프로그램 모드는 상기 디폴트 프로그램 모드에 비하여 프로그램 펄스 수, 프로그램 검증 펄스 수, 프로그램 시작 전압, 그리고 프로그램 종료 전압 중 적어도 하나를 조정된 동작 모드이다.

[0006] 상기 목적을 달성하기 위한 본 발명에 따른 스토리지 장치는, 반도체 레이어들이 적층되는 메모리 블록을 포함하는 불휘발성 메모리 장치, 그리고 상기 메모리 블록에 포함되는 워드 라인들을 리딩 워드 라인과 팔로잉 워드 라인으로 분류하여 관리하는 스토리지 컨트롤러를 포함하며, 상기 스토리지 컨트롤러는, 상기 리딩 워드 라인에 연결된 메모리 셀들은 디폴트 프로그램 모드로 프로그램하도록, 상기 팔로잉 워드 라인에 연결되는 메모리 셀들은 최적 프로그램 모드로 프로그램하도록 상기 불휘발성 메모리 장치를 제어하되, 상기 최적 프로그램 모드는 상기 디폴트 프로그램 모드의 실행 결과인 프로그램 결과 정보로부터 생성된 최적 프로그램 파라미터를 사용하며, 상기 최적 프로그램 파라미터는, 상기 디폴트 프로그램 모드에서 사용된 디폴트 프로그램 파라미터로부터 프로그램 펄스 수, 프로그램 검증 펄스 수, 프로그램 시작 전압, 프로그램 종료 전압들 중 적어도 하나가 조정된 값이다.

발명의 효과

[0007] 이상과 같은 본 발명의 실시 예에 따르면, 하나의 메모리 블록 내의 메모리 셀들을 레이어에 따라 프로그램 또는 독출 파라미터를 조정할 수 있어, 불휘발성 메모리 장치의 신뢰성 저하를 최소화하면서 액세스 속도를 높일 수 있다.

도면의 간단한 설명

- [0008] 도 1은 본 발명의 실시 예에 따른 스토리지 장치를 보여주는 블록도이다.
- 도 2는 도 1의 스토리지 컨트롤러의 구성을 보여주는 블록도이다.
- 도 3은 본 발명의 실시 예에 따른 플래시 변환 계층(FTL)의 구조를 예시적으로 보여주는 블록도이다.
- 도 4는 본 발명의 실시 예에 따른 불휘발성 메모리 장치를 보여주는 블록도이다.
- 도 5는 도 4의 셀 어레이에 포함되는 메모리 블록(BLK_i)을 예시적으로 보여주는 도면이다.
- 도 6은 도 5의 메모리 블록(BLK_i)에 대한 회로도를 보여준다.
- 도 7은 도 6의 메모리 블록을 X-방향에서 바라본 형태를 보여주는 회로도이다.
- 도 8은 본 발명의 실시 예에 따른 메모리 컨트롤러의 동작을 간략히 보여주는 순서도이다.
- 도 9는 도 8의 프로그램 절차를 따르는 메모리 컨트롤러와 불휘발성 메모리 장치 사이에서 교환되는 명령어나 데이터를 보여주는 도면이다.
- 도 10은 본 발명의 실시 예에 따른 리딩 워드 라인의 선택에 따른 성능 향상을 보여주는 도면이다.
- 도 11은 디폴트 프로그램 모드와 최적 프로그램 모드의 예를 간략히 보여주는 타이밍도이다.
- 도 12는 본 발명의 실시 예에 따른 리딩 워드 라인의 선택에 따른 성능 향상의 다른 예를 보여주는 도면이다.
- 도 13은 도 12의 리딩 워드 라인 구조에서 프로그램 방법을 예시적으로 보여주는 순서도이다.
- 도 14a 및 도 14b는 메모리 블록의 수직 레이어 변이성(Vertical layer variability)을 설명하기 위한 도면들이다.
- 도 15는 리딩 워드 라인의 선택에 따라 성능 향상이 가능한 다른 실시 예를 보여주는 도면이다.
- 도 16은 도 15의 리딩 워드 라인 구조에서 프로그램 방법을 예시적으로 보여주는 순서도이다.
- 도 16은 도 15의 리딩 워드 라인 구조에서 프로그램 방법을 예시적으로 보여주는 순서도이다.
- 도 18은 도 17의 확장 맵핑 테이블을 활용한 불휘발성 메모리 장치의 읽기 방법을 보여주는 도면이다.
- 도 19는 도 18에서의 읽기 동작시 파라미터 설정 방법을 보여주는 순서도이다.
- 도 20은 본 발명의 다른 실시 예에 따른 플래시 변환 계층(FTL)의 구조를 예시적으로 보여주는 블록도이다.
- 도 21은 쓰기 버퍼의 상태에 따른 메모리 블록으로의 플러시 방법을 간략히 보여준다.

발명을 실시하기 위한 구체적인 내용

[0009] 앞의 일반적인 설명 및 다음의 상세한 설명 모두 예시적이라는 것이 이해되어야 하며, 청구된 발명의 부가적인 설명이 제공되는 것으로 여겨져야 한다. 참조 부호들이 본 발명의 바람직한 실시 예들에 상세히 표시되어 있으며, 그것의 예들이 참조 도면들에 표시되어 있다. 가능한 어떤 경우에도, 동일한 참조 번호들이 동일한 또는 유사한 부분을 참조하기 위해서 설명 및 도면들에 사용된다.

[0010] 이하에서는, 플래시 메모리 장치를 사용하는 스토리지 장치가 본 발명의 특징 및 기능을 설명하기 위한 예로서 사용될 것이다. 하지만, 이 기술 분야에 정통한 사람은 여기에 기재된 내용에 따라 본 발명의 다른 이점들 및 성능을 쉽게 이해할 수 있을 것이다. 본 발명은 다른 실시 예들을 통해 또한, 구현되거나 적용될 수 있을 것이다. 게다가, 상세한 설명은 본 발명의 범위, 기술적 사상 그리고 다른 목적으로부터 상당히 벗어나지 않고 관점 및 응용에 따라 수정되거나 변경될 수 있다.

[0011] 도 1은 본 발명의 실시 예에 따른 스토리지 장치를 보여주는 블록도이다. 도 1을 참조하면, 스토리지 장치(100)는 스토리지 컨트롤러(110) 및 불휘발성 메모리 장치(120)를 포함한다. 예시적으로, 스토리지 컨트롤러(110)

및 불휘발성 메모리 장치(120) 각각은 하나의 칩, 하나의 패키지, 또는 하나의 모듈로 제공될 수 있다. 또는, 스토리지 컨트롤러(110) 및 불휘발성 메모리 장치(120)는 하나의 칩, 하나의 패키지, 또는 하나의 모듈로 형성되어, 메모리 카드, 메모리 스틱, 솔리드 스테이트 드라이브(SSD: Solid State Drive) 등과 같은 메모리 시스템으로 제공될 수 있다.

- [0012] 스토리지 컨트롤러(110)는 불휘발성 메모리 장치(120)를 제어하도록 구성될 수 있다. 예를 들어, 스토리지 컨트롤러(110)는 호스트(Host)의 요청에 따라 불휘발성 메모리 장치(120)에 데이터를 기입하거나 또는 불휘발성 메모리 장치(120)에 저장된 데이터를 독출할 수 있다. 이러한 불휘발성 메모리 장치(120)로의 접근을 위하여, 스토리지 컨트롤러(110)는 명령어, 어드레스, 데이터 그리고 제어 신호를 불휘발성 메모리 장치(120)에 제공할 수 있다.
- [0013] 특히, 스토리지 컨트롤러(110)는 최적 파라미터 매니저(OPM, 114)를 구비한다. 최적 파라미터 매니저(114)는 불휘발성 메모리 장치(120)의 메모리 블록 단위로 프로그램 또는 읽기 파라미터를 최적화한다. 최적 파라미터 매니저(114)는 기판에 수직 방향으로 셀 스트링(Cell String)이 형성되는 3차원 메모리 구조에 기인한 레이어별 특성에 따라 프로그램 또는 읽기 파라미터를 관리할 수 있다. 더불어, 최적 파라미터 매니저(114)는 레이어별 파라미터를 온도나 프로그램/소거 횟수 등을 참조하여 조정하고 관리할 수 있다.
- [0014] 일반적으로 3차원 메모리 구조에서 동일 레이어에 형성되는 메모리 셀들은 유사한 프로그램 또는 읽기 특성을 갖는다. 이러한 경향을 이하에서는 수평 레이어 유사성(Horizontal layer similarity)이라 칭하기로 한다. 더불어, 3차원 메모리 구조에서 수직 방향의 레이어들의 특성은 일정한 변이성을 갖는다. 이러한 경향을 이하에서는 수직 레이어 변이성(Vertical layer variability)이라 칭하기로 한다. 수직 레이어 변이성은 공정 변화, 온도, 또는 프로그램/소거 횟수에 따라 차이는 존재하지만, 다양한 데이터를 통해서 충분한 정확도로 예측 가능하다.
- [0015] 최적 파라미터 매니저(114)는 불휘발성 메모리 장치(120)의 어느 하나의 레이어에 위치하는 워드 라인 단위의 메모리 셀들에 대한 특성을 측정할 수 있다. 하나의 레이어에는 복수의 워드 라인 단위가 포함된다. 최적 파라미터 매니저(114)는 어느 하나의 워드 라인 단위의 접근 결과 정보를 사용하여 해당 레이어에 포함되는 모든 워드 라인 단위의 메모리 셀들의 최적 접근 파라미터를 결정할 수 있다. 이때 수평 레이어 유사성(Horizontal layer similarity)이 고려된다. 최적 파라미터 매니저(114)는 어느 하나의 워드 라인 단위의 접근 결과 정보를 사용하여 다른 레이어에 포함되는 워드 라인 단위의 메모리 셀들의 최적 접근 파라미터를 결정할 수 있다. 이때 수직 레이어 변이성(Vertical layer variability)이 고려된다.
- [0016] 어느 하나의 레이어에서 워드 라인 단위의 메모리 셀들에 대한 접근 결과 정보를 사용하면, 나머지 메모리 셀들에 대한 접근 속도의 향상이 가능하다. 예를 들면, 수평 레이어 유사성을 이용하여 프로그램 동작시 나머지 메모리 셀들에 대한 프로그램 검증 펄스의 스킵이나 최대 루프 수 감소가 가능하다. 더불어, 수직 레이어 변이성을 사용하여, 모든 레이어의 메모리 셀들에 대한 접근 파라미터의 최적화도 가능하다. 최적 파라미터 매니저(114)에 의한 파라미터의 검출 및 조정은 후술하는 도면들을 통해서 상세히 설명될 것이다.
- [0017] 불휘발성 메모리 장치(120)는 스토리지 컨트롤러(110)의 제어에 따라 스토리지 컨트롤러(110)로부터 수신된 데이터를 저장하거나 또는 저장된 데이터를 스토리지 컨트롤러(110)로 전송할 수 있다. 불휘발성 메모리 장치(120)는 복수의 메모리 블록들(BLK0~BLKi)을 포함할 수 있다. 복수의 메모리 블록들(BLK0~BLKi) 각각은 기판에 수직 방향으로 워드 라인 레이어가 적층되는 3차원 메모리 구조를 갖는다. 복수의 메모리 블록들(BLK0~BLKi) 각각은 스토리지 컨트롤러(110)에 의해서 프로그램 소거 카운트(P/E count)와 같은 웨어 레벨링을 위한 정보를 통해서 관리될 수 있다. 불휘발성 메모리 장치(120)는 스토리지 컨트롤러(110)의 요청에 따라 선택된 메모리 블록의 워드 라인 단위 메모리 셀들의 접근 파라미터를 제공할 수 있다.
- [0018] 이상의 본 발명의 실시 예에 따르면, 스토리지 장치(100)는 3차원 메모리 구조에서 레이어별 특성에 따른 접근 파라미터를 사용하여 메모리 셀들에 접근할 수 있다. 즉, 스토리지 장치(100)는 어느 하나의 워드 라인 단위 메모리 셀들에 대한 접근을 통해서 최적 접근 파라미터를 획득하고, 최적 접근 파라미터에 따라 나머지 메모리 셀들에 대한 접근을 수행할 수 있다. 이 경우, 메모리 셀들의 신뢰성 저하 없이도 프로그램 시간 또는 읽기 시간을 줄일 수 있다. 따라서, 본 발명의 스토리지 장치(100)에 따르면, 저장되는 데이터의 신뢰성 저하없이 스토리지 성능을 향상시킬 수 있다.
- [0019] 도 2는 도 1의 스토리지 컨트롤러의 구성을 예시적으로 보여주는 블록도이다. 도 2를 참조하면, 본 발명의 스토리지 컨트롤러(110)는 프로세싱 유닛(111), 워킹 메모리(113), 호스트 인터페이스(115), 에러 정정 블록(117), 그리고 메모리 인터페이스(119)를 포함한다. 하지만, 스토리지 컨트롤러(110)의 구성 요소들이 앞서 언급된 구

성 요소들에 국한되지 않음은 잘 이해될 것이다. 예를 들면, 스토리지 컨트롤러(110)는 초기 부팅(Booting) 동작에 필요한 코드 데이터(Code data)를 저장하는 ROM(Read Only Memory) 등을 더 포함할 수 있다.

- [0020] 프로세싱 유닛(111)은 중앙 처리 장치(Central Processing Unit) 또는 마이크로프로세서(Micro-processor)를 포함할 수 있다. 프로세싱 유닛(111)은 스토리지 컨트롤러(110)의 제반 동작을 주관한다. 프로세싱 유닛(111)은 스토리지 컨트롤러(110)를 구동하기 위한 펌웨어(Firmware)를 구동하도록 구성된다.
- [0021] 워킹 메모리(113)에는 스토리지 컨트롤러(110)를 제어하기 위한 소프트웨어(또는, 펌웨어)나 데이터가 로드(Load)된다. 저장된 소프트웨어 및 데이터는 프로세싱 유닛(111)에 의해 구동되거나 처리된다. 본 발명의 실시 예에 따르면, 워킹 메모리(113)에는 최적 파라미터 매니저(114)가 로드될 수 있다. 도시되지는 않았지만, 최적 파라미터 매니저(114)는 플래시 변환 계층(FTL)의 일부로 구성될 수 있을 것이다.
- [0022] 최적 파라미터 매니저(114)는 불휘발성 메모리 장치(120)로부터 제공되는 적어도 하나의 워드 라인 단위(이하, 리딩 워드 라인)의 접근 결과 정보를 제공받을 수 있다. 최적 파라미터 매니저(114)는 수평 레이어 유사성 또는 수직 레이어 변이성을 고려하여 접근 결과 정보로부터 최적 접근 파라미터를 생성한다. 이후, 선택된 메모리 블록의 나머지 워드 라인들(이하, 팔로잉 워드 라인)에 대응하는 셀들의 접근에는 최적 접근 파라미터가 사용될 것이다.
- [0023] 호스트 인터페이스(115)는 호스트(Host)와 스토리지 컨트롤러(110) 사이의 인터페이스를 제공한다. 호스트와 스토리지 컨트롤러(110)는 다양한 표준 인터페이스들(Standardized Interfaces) 중 하나를 통해 연결될 수 있다. 여기에서, 표준 인터페이스들은 ATA(Advanced Technology Attachment), SATA(Serial ATA), e-SATA(external SATA), SCSI(Small Computer Small Interface), SAS(Serial Attached SCSI), PCI(Peripheral component Interconnection), PCIe(PCI Express), USB(Universal Serial Bus), IEEE 1394, UFS(Universal Flash Storage), Card 인터페이스 등과 같은 다양한 인터페이스 방식들을 포함한다.
- [0024] 에러 정정 블록(117)은 다양한 원인으로 인해 손상되는 데이터의 에러를 정정할 수 있다. 예를 들면, 에러 정정 블록(117)은 불휘발성 메모리 장치(120)로부터 읽혀진 데이터의 에러를 검출 및 정정하기 위한 연산을 수행할 것이다. 특히, 에러 정정 블록(117)은 최적 파라미터 매니저(114)의 요청에 따라 워드 라인 단위 메모리 셀로부터 읽혀진 데이터의 에러 비트 수 또는 비트 에러율(BER)을 검출할 수 있다. 검출된 비트 에러율(BER)은 최적 파라미터 매니저(114)에 제공될 것이다.
- [0025] 메모리 인터페이스(119)는 스토리지 컨트롤러(110)와 불휘발성 메모리 장치(120) 사이의 인터페이스를 제공한다. 예를 들면, 프로세싱 유닛(111)에 의해서 처리된 데이터가 메모리 인터페이스(119)를 통해 불휘발성 메모리 장치(120)에 저장된다. 다른 예로써, 불휘발성 메모리 장치(120)에 저장된 데이터는 메모리 인터페이스(119)를 통해 프로세싱 유닛(111)에 제공된다.
- [0026] 이상에서 예시적으로 설명된 스토리지 컨트롤러(110)의 구성들이 설명되었다. 본 발명의 스토리지 컨트롤러(110)에 의해서 각각의 메모리 블록들의 접근 파라미터는 수평 레이어 유사성 또는 수직 레이어 변이성을 고려하여 조정될 수 있다. 따라서, 데이터 신뢰성의 저하없이 스토리지 장치(100)의 프로그램 속도 또는 읽기 속도의 향상이 가능하다.
- [0027] 도 3은 본 발명의 실시 예에 따른 플래시 변환 계층(FTL)의 구조를 예시적으로 보여주는 블록도이다. 도 3을 참조하면, 스토리지 컨트롤러(110)의 플래시 변환 계층(112)은 호스트로부터의 접근 요청에 응답하여 불휘발성 메모리 장치(136)에 접근하기 위한 프로그램 명령어/읽기 명령어를 생성한다. 스토리지 컨트롤러(110)를 구동하는 플래시 변환 계층(112)은 워드 라인 모니터(210)와 확장 맵핑 테이블(220)을 포함할 수 있다. 앞서 도 1 및 도 2에서 언급된 최적 파라미터 매니저(114)는 확장 맵핑 테이블(220)의 일부로 구현될 수 있다.
- [0028] 플래시 변환 계층(112)은 워킹 메모리(113) 상에 로드되며, 프로세싱 유닛(111)에 의해서 호출 및 구동되는 펌웨어일 수 있다. 플래시 변환 계층(112)은 호스트(Host)의 파일 시스템(File System)과 불휘발성 메모리 장치(120) 사이에서 불휘발성 메모리 장치(120)의 삭제 연산을 감추기 위한 인터페이스를 제공한다.
- [0029] 플래시 변환 계층(112)은 일반적으로 주소 맵핑(Address mapping), 가비지 컬렉션(Garbage collection), 그리고 웨어 레벨링(Wear leveling)과 같은 기능을 수행한다. 주소 맵핑은 호스트로부터 제공되는 논리 주소를 불휘발성 메모리 장치(120)의 물리 주소로 맵핑하는 기능이다. 주소 맵핑을 위해 플래시 변환 계층(112)은 맵핑 테이블(222)을 구성하고 업데이트한다. 가비지 컬렉션은 쓰기 요청에 따라 제공되어야 할 프리 블록(또는, 액티브 블록)을 확보하기 위한 동작이다. 그리고 웨어 레벨링은 메모리 블록들의 프로그램/소거 횟수를 균일하게 관리

하여 불휘발성 메모리 장치(120)의 수명을 연장시키기 위한 기능이다.

- [0030] 본 발명의 플래시 변환 계층(112)은 워드 라인 모니터(210)와 최적 파라미터 매니저(114)를 포함하는 확장 맵핑 테이블(220)을 사용하여 스토리지 장치(100)의 성능을 향상시킬 수 있다.
- [0031] 워드 라인 모니터(210)는 호스트로부터 접근 요청(Access Request)을 모니터링한다. 워드 라인 모니터(210)는 접근 요청되는 메모리 셀들이 선택된 메모리 블록의 리딩 워드 라인(Leading WL)인지 또는 팔로잉 워드 라인(Following WL)인지를 구분할 수 있다. 예를 들면, 워드 라인 모니터(210)는 접근 요청시 제공된 어드레스가 불휘발성 메모리 장치(120)의 메모리 블록의 리딩 워드 라인(212)에 대응하는지, 아니면 팔로잉 워드 라인(214)에 대응하는지 식별할 수 있다. 리딩 워드 라인(212)은 정의된 접근 시퀀스에 따라 메모리 블록에서 최초로 접근되는 워드 라인을 지시한다. 예를 들면, 리딩 워드 라인(212)은 선택된 메모리 블록의 최하 레이어에서 첫 번째 스트링 선택 라인(SSL1)에 의해서 선택되는 워드 라인일 수 있다. 반면, 팔로잉 워드 라인(214)은 최하 레이어에 위치하는 리딩 워드 라인(212)을 제외한 나머지 워드 라인들에 대응할 수 있다.
- [0032] 확장 맵핑 테이블(220)은 맵핑 테이블(222), 파라미터 테이블(224), 프로그램 펄스 레벨(PPL) 테이블(226), 그리고 프로그램 검증 레벨(PVL) 테이블(228)을 포함할 수 있다. 맵핑 테이블(222)은 플래시 변환 계층(112)의 고유 기능인 주소 맵핑 기능을 제공한다. 맵핑 테이블(222)은 호스트의 파일 시스템(File system)이 생성한 논리 주소를 불휘발성 메모리 장치(120)의 물리 주소로 맵핑(Mapping)시킨다.
- [0033] 파라미터 테이블(224), PPL 테이블(226) 그리고 PVL 테이블(228)은 본 발명의 최적 파라미터 매니저(114)에 포함된다. 파라미터 테이블(224)에는 리딩 워드 라인(212) 또는 팔로잉 워드 라인(214)에 대응하는 메모리 셀들의 최적 접근 파라미터가 저장된다. 리딩 워드 라인(212)에 대응하는 메모리 셀들의 접근을 통해서 획득한 접근 결과 정보로부터 동일 레이어의 나머지 메모리 셀들 또는 다른 레이어의 메모리 셀들의 최적 접근 파라미터가 생성될 수 있다. 그리고 최적 접근 파라미터는 파라미터 테이블(224)에 저장되어, 후속 접근 동작시에 사용된다.
- [0034] PPL 테이블(226)에는 리딩 워드 라인(212) 또는 팔로잉 워드 라인(214)에 대응하는 메모리 셀들의 프로그램 펄스 레벨과 관련된 최적 접근 파라미터가 저장된다. 리딩 워드 라인(212)의 접근을 통해서 접근 결과 정보가 획득된다. 그리고 접근 결과 정보를 사용하여 팔로잉 워드 라인들에 연결된 메모리 셀들의 프로그램 펄스 레벨의 최적치가 결정될 수 있다. 리딩 워드 라인(212)과 다른 레이어에 위치하는 팔로잉 워드 라인(214)의 메모리 셀들의 최적 접근 파라미터는 레이어 오프셋(Layer offset)을 사용하여 설정될 수 있다. 레이어 오프셋(Layer offset)은 수직 레이어 변이성을 적용한 설정 값이다.
- [0035] PVL 테이블(228)에는 리딩 워드 라인(212) 또는 팔로잉 워드 라인(214)에 대응하는 메모리 셀들의 프로그램 검증 레벨과 관련된 최적 접근 파라미터가 저장된다. 리딩 워드 라인(212)의 접근을 통해서 접근 결과 정보가 획득된다. 그리고 획득된 접근 결과 정보로부터 팔로잉 워드 라인(214)의 프로그램 검증 레벨과 관련된 최적 접근 파라미터가 생성될 수 있다.
- [0036] 이상에서는 본 발명의 플래시 변환 계층(112)의 기능을 기능 모듈 단위로 설명하였다. 하지만, 본 발명을 기술 사항은 플래시 변환 계층(112)뿐 아니라 다양한 소프트웨어 모듈 또는 하드웨어 구성을 통해서도 구현될 수 있음은 잘 이해될 것이다.
- [0037] 도 4는 본 발명의 실시 예에 따른 불휘발성 메모리 장치를 보여주는 블록도이다. 도 4를 참조하면, 불휘발성 메모리 장치(120)는 셀 어레이(121), 디코더(122), 페이지 버퍼(123), 입출력 버퍼(124), 그리고 제어 로직 회로(125)를 포함한다.
- [0038] 셀 어레이(121)는 워드 라인들(WLs) 또는 선택 라인들(SSL, GSL)을 통해 디코더(122)에 연결된다. 셀 어레이(121)는 비트 라인들(BLs)을 통해서 페이지 버퍼(123)에 연결된다. 셀 어레이(121)는 복수의 메모리 블록들(BLK1~BLKi)을 포함한다. 각각의 메모리 블록들은 복수의 낸드형 셀 스트링들(NAND Cell Strings)을 포함한다. 셀 어레이(121)에는 페이지 단위로 데이터가 기입될 수 있다. 소거 동작은 메모리 블록 단위로 수행될 것이다.
- [0039] 본 발명의 개념에 따른 실시 예로서, 셀 어레이(121)는 3차원 메모리 어레이로 제공될 수 있다. 3차원 메모리 어레이는, 실리콘 기판 및 메모리 셀들의 동작에 연관된 회로의 위에 배치되는 활성 영역을 갖는 메모리 셀들의 어레이들의 하나 또는 그 이상의 물리 레벨들에 모놀리식적으로(monolithically) 형성될 수 있다.
- [0040] 본 발명의 개념에 따른 실시 예로서, 3차원 메모리 어레이는 수직의 방향성을 가져, 적어도 하나의 메모리 셀이 다른 하나의 메모리 셀 위에 위치하는 수직 NAND 스트링들을 포함한다. 적어도 하나의 메모리 셀은 전하 트랩 층을 포함한다. 각각의 수직 NAND 스트링은 메모리 셀들 위에 위치하는 적어도 하나의 선택 트랜지스터를 포함

할 수 있다. 적어도 하나의 선택 트랜지스터는 메모리 셀들과 동일한 구조를 갖고, 메모리 셀들과 함께 모놀리 식으로 형성될 수 있다.

- [0041] 디코더(122)는 어드레스(ADD)에 응답하여 셀 어레이(121)의 메모리 블록들 중 어느 하나를 선택할 수 있다. 디코더(122)는 선택된 메모리 블록의 워드 라인에 동작 모드에 대응하는 워드 라인 전압(V_{w})을 제공할 수 있다. 그리고 디코더(122)는 선택 라인들(SSL, GSL)에 선택 신호를 제공하여 메모리 블록을 선택할 수 있다. 읽기 동작시, 메모리 블록의 선택 워드 라인으로는 읽기 전압(V_{rd})을 제공한다. 그리고 읽기 동작시, 메모리 블록의 비 선택 워드 라인들로는 패스 읽기 전압(V_{read})을 제공할 수 있다.
- [0042] 페이지 버퍼(123)는 동작 모드에 따라 기입 드라이버로서 또는 감지 증폭기로서 동작한다. 프로그램 동작시, 페이지 버퍼(123)는 셀 어레이(121)의 비트 라인으로 프로그램될 데이터에 대응하는 비트 라인 전압을 전달한다. 읽기 동작시, 페이지 버퍼(123)는 선택된 메모리 셀에 저장된 데이터를 비트 라인을 통해서 감지한다. 페이지 버퍼(123)는 감지된 데이터를 래치하여 외부에 전달한다.
- [0043] 입출력 버퍼(124)는 프로그램 동작시에 입력받는 쓰기 데이터를 페이지 버퍼(123)에 전달한다. 입출력 버퍼(124)는 읽기 동작시에 페이지 버퍼(123)로부터 제공되는 읽기 데이터를 외부로 출력한다. 입출력 버퍼(124)는 입력되는 어드레스 또는 명령어를 제어 로직 회로(125)이나 디코더(122)에 전달할 수 있다.
- [0044] 제어 로직 회로(125)는 명령어(CMD) 또는 제어 신호(CTRL)에 응답하여 페이지 버퍼(123)와 디코더(122)를 제어한다. 제어 로직 회로(125)는 프로그램 명령에 따라서 서로 다른 방식의 바이어스를 생성하도록 디코더(122)를 제어할 수 있다. 특히, 제어 로직 회로(125)는 스토리지 컨트롤러(110)로부터 요청에 따라 프로그램 결과 정보를 출력할 수 있다. 예를 들면, 제어 로직 회로(125)는 리딩 워드 라인(212)에 대응하는 메모리 셀들의 프로그램 동작 이후에 스토리지 컨트롤러(110)에 의한 갯 피쳐(Get feature) 요청시 프로그램 결과 정보를 출력할 수 있다.
- [0045] 도 5는 도 4의 셀 어레이에 포함되는 메모리 블록(BLK_i)을 예시적으로 보여주는 도면이다. 도 5를 참조하면, 설명의 편의를 위해 메모리 블록(BLK_i)이 예시적으로 기판(SUB)과 비트 라인들(BL1~BL3) 사이에 형성되는 6개의 레이어들을 포함하는 구조라 가정하기로 한다. 비트 라인들(BL1~BL3)은 Y-방향으로 신장된 도전 물질들에 각각 대응할 것이다.
- [0046] 메모리 블록(BLK_i)은 기판(SUB)과 비트 라인들(BL1~BL3) 사이에 접지 선택 라인(GSLs)들, 워드 라인들(WLs), 그리고 스트링 선택 라인(SSL1~SSL4)이 형성되는 레이어를 포함할 수 있다. 스트링 선택 라인(SSL1~SSL4) 각각에 의해서 선택되는 메모리 셀들을 서브 블록(Sub-Block)이라 칭하기로 한다. 그러면, 4개의 서브 블록들이 메모리 블록(BLK_i)에 포함될 수 있다.
- [0047] 서브 블록들 각각은 기판 위에 워드 라인 컷들(WL cut) 사이에 적어도 하나의 접지 선택 라인(GSL), 복수의 워드 라인들(WLs), 적어도 하나의 스트링 선택 라인(SSL)이 판 형태로 적층됨으로써 형성된다. 여기서, 적어도 하나의 스트링 선택 라인(SSL)은 스트링 컷(SSL Cut)으로 분리된다. 한편, 메모리 블록(BLK_i)은 스트링 선택 라인들을 분리하는 스트링 컷(SSL Cut)을 포함할 수 있다. 하지만, 본 발명의 블록의 구조가 여기에 제한되지 않을 것이다. 본 발명은 메모리 블록(BLK_i)은 스트링 컷(SSL Cut)이 존재하지 않는 복수의 스트링 선택 라인을 갖는 구조일 수도 있다.
- [0048] 도시된 구조에서 하나의 레이어에는 복수의 워드 라인들이 형성된다. 예를 들면, 접지 선택 라인들의 인접한 상부에는 복수의 워드 라인들(WL11, WL12, WL13, WL14)이 형성된다. 동일한 레이어에 위치하는 복수의 워드 라인들(WL11, WL12, WL13, WL14)에 의해서 형성되는 메모리 셀들은 실질적으로 유사한 셀 특성을 가지게 된다. 이러한 특성을 앞서 수평 레이어 유사성(Horizontal layer similarity)라 칭하였다. 그리고 복수의 워드 라인들(WL11, WL12, WL13, WL14) 중에서 스트링 선택 라인(SSL1)에 의해서 선택되는 워드 라인(WL11)이 리딩 워드 라인(Leading WL)이 될 수 있다. 만일, 워드 라인(WL11)이 리딩 워드 라인(Leading WL)인 경우, 워드 라인들(WL12, WL13, WL14)은 일반 워드 라인이 된다. 이 경우, 워드 라인(WL11)에 대응하는 메모리 셀들의 프로그램을 통해서 획득되는 특성 파라미터로부터 워드 라인들(WL12, WL13, WL14)의 최적 파라미터가 생성될 수 있다.
- [0049] 다른 실시 예에서, 워드 라인(WL11)에 대응하는 메모리 셀들의 프로그램을 통해서 획득되는 프로그램 결과 정보로부터 다른 레이어들에 위치한 메모리 셀들의 최적 파라미터가 계산될 수 있다. 이러한 특징은 3차원 메모리 셀 어레이의 수직 레이어 변이성(Vertical layer variability)에 기인한다.
- [0050] 도 6은 도 5의 메모리 블록(BLK_i)에 대한 회로도들을 보여준다. 도 6을 참조하면, 도 5 및 도 6을 참조하면, 비트

라인들(BL1, BL2, BL3)과 공통 소스 라인(CSL) 사이에는 셀 스트링들이 형성된다.

- [0051] 제 1 비트 라인(BL1) 및 공통 소스 라인(CSL) 사이에 셀 스트링들(CS11, CS12, CS13, CS14)이 형성된다. 제 2 비트 라인(BL2)과 공통 소스 라인(CSL) 사이 그리고 제 3 비트 라인(BL3)과 공통 소스 라인(CSL) 사이에도 셀 스트링들이 형성된다.
- [0052] 셀 스트링들(CSs)의 스트링 선택 트랜지스터(SST)는 대응하는 비트 라인(BL)과 연결된다. 셀 스트링들(CSs)의 접지 선택 트랜지스터(GST)는 공통 소스 라인(CSL)과 연결된다. 셀 스트링들(CSs)의 스트링 선택 트랜지스터(SST) 및 접지 선택 트랜지스터(GST) 사이에 메모리 셀들(MCs)이 제공된다.
- [0053] 하나의 스트링 선택 라인(SSL)에 연결되는 셀 스트링들(CS)은 하나의 서브 블록을 형성할 수 있다. 예를 들면, 제 1 스트링 선택 라인(SSL1)에 연결된 셀 스트링들(CS11~CS31)은 제 1 서브 블록을 형성한다. 제 2 스트링 선택 라인(SSL2)에 연결된 셀 스트링들은 제 2 서브 블록을 형성한다. 제 3 스트링 선택 라인(SSL3)에 연결된 셀 스트링들은 제 3 서브 블록을 형성할 수 있다. 제 4 스트링 선택 라인(SSL4)에 연결된 셀 스트링들은 제 4 서브 블록을 형성한다.
- [0054] 셀 스트링들(CSs) 각각은 접지 선택 트랜지스터(GST)를 포함한다. 접지 선택 트랜지스터들은 하나의 접지 선택 라인(GSL)에 의해서 제어될 수 있다. 혹은 도시되지는 않았지만, 각 행들에 대응하는 셀 스트링들은 서로 다른 접지 선택 라인들에 의해서 제어될 수 있다.
- [0055] 이상에서는 하나의 메모리 블록(BLK_i)에 포함되는 메모리 셀들의 회로 구조가 간략히 설명되었다. 하지만, 도시된 메모리 블록의 회로 구조는 설명의 편의를 위해 간략화한 구조일 뿐, 실제의 메모리 블록은 도시된 예에 국한되지 않는다. 즉, 하나의 물리 블록(BLK_i)에는 보다 많은 반도체 레이어와 비트 라인(BLs)들, 그리고 스트링 선택 라인들(SSLs)이 포함될 수 있음은 잘 이해될 것이다.
- [0056] 도 7은 도 6의 메모리 블록을 X-방향에서 바라본 형태를 보여주는 회로도이다. 도 7을 참조하면, 메모리 블록(BLK_i)을 구성하는 스트링들 또는 메모리 셀들은 스트링 선택 라인(SSL_j, j=1, 2, 3, 4)에 따라 복수의 그룹들로 구분될 수 있다.
- [0057] 리딩 그룹(121a)의 메모리 셀들은 스트링 선택 라인(SSL1)에 의해서 선택되는 메모리 셀들을 포함한다. 이러한 리딩 그룹(121a)의 정의는 스트링 선택 라인(SSL1)에 의해서 각 레이어별로 메모리 셀들이 가장 먼저 선택된다는 가정에 근거한다. 즉, 프로그램 시퀀스에 있어서, 각 레이어의 워드 라인들 중에서 워드 라인들(WL1, WL21, WL31, WL41)들이 가장 먼저 선택된다고 가정하기로 한다. 그러면, 각 레이어의 메모리 셀들 중에서 워드 라인들(WL11, WL21, WL31, WL41)에 연결된 메모리 셀들의 프로그램시에 프로그램 결과 정보가 추출될 수 있다. 그리고 나머지 워드 라인들의 프로그램 시에는 프로그램 결과 정보를 기반으로 생성된 최적 프로그램 파라미터가 적용될 수 있다. 따라서, 팔로잉 그룹(121b)의 메모리 셀들의 프로그램 속도는 상대적으로 향상될 수 있다.
- [0058] 여기서, 리딩 그룹(121a)의 선택은 실시 예에 따라 다양하게 변경될 수 있다. 즉, 하나의 메모리 블록(BLK_i) 내에서 하나의 워드 라인(WL11)만이 리딩 그룹(121a)으로 할당되고, 나머지 워드 라인들은 팔로잉 그룹(121b)으로 지정될 수도 있다.
- [0059] 도 8은 본 발명의 실시 예에 따른 메모리 컨트롤러의 동작을 간략히 보여주는 순서도이다. 도 8을 참조하면, 메모리 컨트롤러(110)는 선택된 메모리 블록에서 리딩 워드 라인(Leading WL)에 대한 쓰기 요청 여부에 따라 다른 쓰기 동작을 수행할 수 있다.
- [0060] S110 단계에서, 호스트(Host)로부터 쓰기 요청이 발생하면, 메모리 컨트롤러(110)는 쓰기 요청되는 어드레스와 데이터를 수신한다. 여기서, 쓰기 요청은 호스트(Host)로부터 제공된다. 하지만, 쓰기 요청은 호스트(Host)에서 발생하는 것에 국한되지는 않는다. 메모리 컨트롤러(110)의 내부 동작(예를 들면, 가비지 컬렉션이나 메타 데이터 업데이트)에 의해서 쓰기 요청이 발생될 수 있다.
- [0061] S120 단계에서, 메모리 컨트롤러(110)는 쓰기 요청되는 어드레스에 따라 데이터를 기입할 메모리 블록을 선택한다. 그리고 메모리 컨트롤러(110)는 선택된 메모리 블록의 워드 라인을 선택한다. 이때, 메모리 컨트롤러(110)는 쓰기 요청에 의해 선택되는 워드 라인이 리딩 워드 라인(212, 도 3 참조)인지 아니면 팔로잉 워드 라인(214)인지 판단한다. 이러한 판단은, 메모리 컨트롤러(110)의 플래시 변환 계층(112) 내의 워드 라인 모니터(210)에 의해서 수행될 수 있다. 선택된 워드 라인이 리딩 워드 라인(212)인 경우(Yes 방향), 절차는 S130 단계로 이동한다. 반면, 선택된 워드 라인이 리딩 워드 라인(212)이 아닌 경우(No 방향), 절차는 S160 단계로 이동한다.
- [0062] S130 단계에서, 메모리 컨트롤러(110)는 선택된 리딩 워드 라인에 연결된 메모리 셀들에 쓰기 요청된 데이터를

프로그램하도록 불휘발성 메모리 장치(120)에 프로그램 명령어를 전달한다. 이때, 메모리 컨트롤러(110)는 선택된 메모리 셀들을 디폴트 프로그램 파라미터(Default PGM parameter)에 따라 프로그램하도록 불휘발성 메모리 장치(120)를 제어할 수도 있다.

- [0063] S140 단계에서, 메모리 컨트롤러(110)는 불휘발성 메모리 장치(120)로부터 메모리 셀들의 프로그램 결과에 따른 정보를 수신한다. 예를 들면, 갓 피쳐 명령어(Get feature CMD)를 사용하여 리딩 워드 라인(212)에 대응하는 메모리 셀들의 프로그램 결과 정보를 수신할 수 있다. 프로그램 결과 정보에는, 예를 들면, 프로그램 루프별로 문턱 전압이 검증 전압(Verify voltage) 이상으로 프로그램된 셀들의 수(Cell count)일 수 있다. 또는, 문턱 전압이 검증 전압 이상으로 프로그램된 메모리 셀들의 수가 기준치(TH)를 초과하는 프로그램 루프 수가 프로그램 결과 정보일 수 있다. 더불어, 프로그램 결과 정보에는 타깃 상태별 프로그램 패스되는 루프 수(Loop count)일 수도 있을 것이다. 하지만, 프로그램 결과 정보가 여기의 개시에만 국한되지 않음은 잘 이해될 것이다.
- [0064] S150 단계에서, 메모리 컨트롤러(110)는 획득된 프로그램 결과 정보를 바탕으로 팔로잉 워드 라인(214)에 연결되는 메모리 셀들의 최적 파라미터를 결정한다. 이러한 최적 파라미터의 결정은 플래시 변환 계층(112)에 포함되는 최적 파라미터 매니저(114)에 의해서 수행될 수 있을 것이다. 최적 파라미터 매니저(114)는 팔로잉 워드 라인(214)에 연결되는 메모리 셀들을 프로그램하는 검증 전압의 레벨, 프로그램 시작 전압, 프로그램 종료 전압 등의 파라미터를 조정할 수 있다. 여기서, 팔로잉 워드 라인(214)은 리딩 워드 라인(212)과 동일한 레이어의 워드 라인들일 수도 있고, 다른 레이어의 워드 라인들을 포함할 수도 있다. 팔로잉 워드 라인(214)이 리딩 워드 라인(212)과 다른 레이어의 워드 라인들을 포함하는 경우, 레이어 오프셋(Layer offset)이 적용될 것이다.
- [0065] S160 단계에서, 메모리 컨트롤러(110)는 선택된 팔로잉 워드 라인(214)에 연결된 메모리 셀들에 쓰기 요청된 데이터를 프로그램하도록 불휘발성 메모리 장치(120)에 프로그램 명령어를 전달한다. 팔로잉 워드 라인(214)에 연결된 메모리 셀들을 프로그램하기 위한 최적 프로그램 파라미터는 이미 파라미터 테이블(224, 도 3 참조)에 업데이트된 상태라 가정한다. 따라서, 메모리 컨트롤러(110)는 선택된 메모리 셀들을 최적 프로그램 파라미터에 따라 프로그램하도록 불휘발성 메모리 장치(120)를 제어할 수 있다. 최적 프로그램 파라미터로 불휘발성 메모리 장치(120)를 설정하기 위해서, 예를 들면, 셋 피쳐 명령어(Set feature CMD)가 사용될 수 있다.
- [0066] S170 단계에서, 이미 프로그램된 메모리 셀들이 선택된 메모리 블록의 마지막 메모리 셀들인지 판단한다. 만약, 아직 프로그램해야 하는 메모리 셀들이 남아 있는 경우(No 방향), 절차는 새로운 메모리 셀들을 선택하기 위한 S180 단계로 이동한다. 반면, 선택된 메모리 블록 내에는 더 이상 프로그램해야 하는 메모리 셀들이 남아 있지 않은 경우(Yes 방향), 선택된 메모리 블록에 대한 프로그램 절차는 종료된다.
- [0067] 이상에서는 리딩 워드 라인(212) 또는 팔로잉 워드 라인(214)에 연결된 메모리 셀들의 프로그램 방법이 간략히 설명되었다. 리딩 워드 라인(212) 또는 팔로잉 워드 라인(214)의 선택은 메모리 블록의 프로그램 시퀀스를 고려하여 선택될 수 있다.
- [0068] 도 9는 도 8의 프로그램 절차를 따르는 메모리 컨트롤러와 불휘발성 메모리 장치 사이에서 교환되는 명령어나 데이터를 보여주는 도면이다. 도 9를 참조하면, 메모리 컨트롤러(110)와 불휘발성 메모리 장치(120)는 선택되는 워드 라인의 종류에 따라 서로 다른 프로그램 파라미터로 프로그램 동작을 수행한다.
- [0069] S10 단계에서, 메모리 컨트롤러(110)는 선택된 메모리 셀들이 리딩 워드 라인(Leading WL)에 포함되는지 판단한다. 선택된 메모리 셀들이 리딩 워드 라인(Leading WL)에 포함되는 것으로 판단되면, 절차는 S20 단계로 이동한다. 만약, 선택된 메모리 셀들이 리딩 워드 라인(Leading WL)에 포함되지 않는다면, 절차는 S60 단계로 이동한다.
- [0070] S20 단계에서, 메모리 컨트롤러(110)는 선택된 메모리 셀들을 디폴트 프로그램 파라미터에 따라 프로그램하도록 불휘발성 메모리 장치(120)에 프로그램 명령어(PGM CMD)를 전달한다. 그러면, 불휘발성 메모리 장치(120)는 이미 설정된 디폴트 프로그램 파라미터에 따라 선택된 메모리 셀들을 프로그램할 것이다. 프로그램 동작이 완료되면, 불휘발성 메모리 장치(120)는 메모리 컨트롤러(110)에 명령어를 완료했음을 알릴 것이다.
- [0071] S30 단계에서, 메모리 컨트롤러(110)는 프로그램 결과 정보를 얻기 위해 불휘발성 메모리 장치(120)에 갓 피쳐 명령어(Get feature CMD)를 전달한다.
- [0072] S40 단계에서, 불휘발성 메모리 장치(120)는 갓 피쳐 명령어(Get feature CMD)에 응답하여 프로그램 결과 정보를 메모리 컨트롤러(110)에 전송할 것이다.
- [0073] S50 단계에서, 메모리 컨트롤러(110)는 프로그램 결과 정보를 참조하여 팔로잉 워드 라인(Following WL)에 대응

하는 메모리 셀들을 프로그램하기 위한 최적 프로그램 파라미터를 결정할 것이다. 이러한 최적 프로그램 파라미터의 결정 및 업데이트는 플래시 변환 계층(112)에 포함되는 최적 파라미터 매니저(114)에 의해서 수행될 수 있다.

- [0074] S60 단계에서, 메모리 컨트롤러(110)는 선택된 메모리 셀들을 설정된 최적 프로그램 파라미터에 의거하여 프로그램하도록 불휘발성 메모리 장치(120)에 명령어를 전송한다. 최적 프로그램 파라미터로 불휘발성 메모리 장치(120)를 설정하기 위해서, 예를 들면, 셋 피쳐 명령어(Set feature CMD)가 사용될 수도 있다. 이때 선택된 메모리 셀들은 팔로잉 워드 라인(Following WL)에 연결된 메모리 셀들이다.
- [0075] 도 10은 본 발명의 실시 예에 따른 리딩 워드 라인의 선택에 따른 성능 향상을 보여주는 도면이다. 도 6 및 도 10을 참조하면, 리딩 워드 라인(Leading WL)이 반도체 레이어들 각각에 할당되는 경우의 프로그램 시간들을 보여준다.
- [0076] 워드 라인들(WL1j, j=1, 2, 3, 4)이 위치하는 레이어에서는 제 1 스트링 선택 라인(SSL1)에 대응하는 워드 라인(WL11)이 리딩 워드 라인(Leading WL)으로 할당될 수 있다. 워드 라인들(WL2j, j=1, 2, 3, 4)이 위치하는 레이어에서는 워드 라인(WL21)이, 워드 라인들(WL3j, j=1, 2, 3, 4)이 위치하는 레이어에서는 워드 라인(WL31)이, 그리고 워드 라인들(WL4j, j=1, 2, 3, 4)이 위치하는 레이어에서 워드 라인(WL41)이 리딩 워드 라인(Leading WL)으로 할당될 수 있다.
- [0077] 프로그램을 위해 제공된 어드레스가 워드 라인(WL11)에 대응하는 경우, 메모리 컨트롤러(110)는 리딩 워드 라인(Leading WL)으로 판단한다. 메모리 컨트롤러(110)는 선택된 메모리 셀들을 디폴트 프로그램 모드(PGM_D)에 따라 프로그램하도록 불휘발성 메모리 장치(120)를 제어할 것이다. 디폴트 프로그램 모드(PGM_D)시, 메모리 셀들은 허용된 최대의 마진을 갖도록 프로그램된다. 따라서, 디폴트 프로그램 모드(PGM_D)에서는 프로그램 루프 수(Loop count)의 축소나 검증 전압 펄스의 스킵은 존재하지 않는다. 디폴트 프로그램 모드(PGM_D)를 적용하는 경우, 프로그램 시간(tPROG_D)이 소요된다. 더불어, 디폴트 프로그램 모드(PGM_D)에서 메모리 컨트롤러(110)는 프로그램 결과 정보를 불휘발성 메모리 장치(120)로부터 제공받을 것이다. 메모리 컨트롤러(110)는 프로그램 결과 정보를 사용하여 파라미터 테이블(224, 도 3참조)을 업데이트할 것이다.
- [0078] 이어서, 프로그램을 위해 제공된 후속 어드레스가 워드 라인(WL12)에 대응하는 경우, 메모리 컨트롤러(110)는 팔로잉 워드 라인(Following WL)으로 판단한다. 메모리 컨트롤러(110)는 선택된 메모리 셀들을 최적 프로그램 모드(PGM_O)에 따라 프로그램하도록 불휘발성 메모리 장치(120)를 제어할 것이다. 최적 프로그램 모드(PGM_O)에서는 메모리 셀들은 파라미터 테이블(224)에 업데이트된 최적 프로그램 파라미터에 따라 프로그램된다. 즉, 최적 프로그램 모드(PGM_O)에서는 메모리 셀들의 신뢰성이 일정 수준으로 유지되는 범위에서 프로그램 루프 수가 최소화될 수 있다. 또는, 최적 프로그램 모드(PGM_O)에서는 메모리 셀들의 신뢰성이 일정 수준으로 유지되는 범위에서 불필요하다고 판단되는 프로그램 검증 펄스의 인가를 스킵할 수 있다. 더불어, 최적 프로그램 모드(PGM_O)에서는 메모리 셀들의 신뢰성이 일정 수준으로 유지되는 범위에서, 프로그램 펄스의 시작 전압의 레벨이 높아지거나 종료 전압의 레벨이 낮아질 수 있다. 따라서, 최적 프로그램 모드(PGM_O)가 적용되면, 메모리 셀들의 최적 프로그램 시간(tPROG_O)은 디폴트 프로그램 시간(tPROG_D)보다 짧아질 수 있다.
- [0079] 팔로잉 워드 라인(WL12)에 적용된 최적 프로그램 모드(PGM_O)는 리딩 워드 라인(WL11)과 동일한 레이어에 위치하는 다른 팔로잉 워드 라인들(WL13, WL14)에도 동일하게 적용될 것이다.
- [0080] 워드 라인들(WL2j, j=1, 2, 3, 4)에 있어서, 워드 라인(WL21)에 대응하는 메모리 셀들이 디폴트 프로그램 모드(PGM_D)에 따라 프로그램될 것이다. 디폴트 프로그램 모드(PGM_D)에 따라 프로그램 동작이 완료되면, 프로그램 결과 정보가 메모리 컨트롤러(110)에 제공된다. 프로그램 결과 정보에 따라 메모리 컨트롤러(110)는 최적 프로그램 파라미터를 결정한다. 이어서, 메모리 컨트롤러(110)는 팔로잉 워드 라인들(WL22, WL23, WL24)에 연결된 메모리 셀들에 대해서 최적 프로그램 모드(PGM_O)를 적용하여 프로그램할 것이다.
- [0081] 워드 라인들(WL3j, j=1, 2, 3, 4)이 위치하는 레이어에서는 워드 라인(WL31)에 대응하는 메모리 셀들이 디폴트 프로그램 모드(PGM_D)에 따라 프로그램될 것이다. 프로그램 결과 정보에 따라 메모리 컨트롤러(110)는 최적 프로그램 파라미터가 생성될 수 있다. 이어서, 메모리 컨트롤러(110)는 팔로잉 워드 라인들(WL32, WL33, WL34)에 연결된 메모리 셀들에 대해서 최적 프로그램 모드(PGM_O)를 적용하여 프로그램할 것이다.
- [0082] 워드 라인들(WL4j, j=1, 2, 3, 4)이 위치하는 레이어에서는 워드 라인(WL41)에 대응하는 메모리 셀들이 디폴트 프로그램 모드(PGM_D)에 따라 프로그램될 것이다. 프로그램 결과 정보에 따라 메모리 컨트롤러(110)는 최적 프로그램 파라미터가 생성될 수 있다. 이어서, 메모리 컨트롤러(110)는 팔로잉 워드 라인들(WL42, WL43, WL44)에

연결된 메모리 셀들에 대해서 최적 프로그램 모드(PGM_0)를 적용하여 프로그램할 것이다.

- [0083] 이상에서는 각 레이어당 하나의 리딩 워드 라인(Leading WL)이 할당되는 실시 예에서 본 발명의 이점이 설명되었다.
- [0084] 도 11은 디폴트 프로그램 모드와 최적 프로그램 모드의 예를 간략히 보여주는 타이밍도이다. 도 11을 참조하면, 일부 검증 전압 펄스의 인가가 생략되는 최적 프로그램 모드(PGM_0)를 도시하고 있다.
- [0085] 디폴트 프로그램 모드(PGM_D)에서는, 각각의 프로그램 루프에서 할당된 검증 전압 펄스들이 생략없이 인가된다. 루프 카운트들(1, 2, 3)의 프로그램 루프에서, 검증 전압 펄스들(Vfy1, Vfy2, Vfy3)이 인가될 수 있다. 이와 같이 순차적으로 매 프로그램 루프들에 할당된 검증 전압 펄스들이 생략없이 인가될 수 있다. 최종 루프 카운트(Max)에서는 검증 전압 펄스들(Vfy5, Vfy6, Vfy7)이 인가될 것이다. 따라서, 디폴트 프로그램 모드(PGM_D)에 따라 메모리 셀들을 프로그램하는데 디폴트 프로그램 시간(tPROG_D)이 소요된다.
- [0086] 반면, 최적 프로그램 모드(PGM_0)에서는, 일부 프로그램 루프에서는 검증 전압 펄스들이 생략된다. 예를 들면, 초기 프로그램 루프에서는 대부분의 메모리 셀들의 문턱 전압은 타깃 상태로 프로그램되지 못한 상태일 수 있다. 따라서, 프로그램 패스 여부를 판단하기 위한 검증 동작은 특정 프로그램 루프 이후에 시작될 수 있다. 예시적으로 루프 카운트들(1, 2)에서는 검증 전압 펄스들(Vfy1, Vfy2, Vfy3)의 인가가 생략되었다. 검증 전압 펄스들(Vfy1, Vfy2, Vfy3)의 인가는 루프 카운트(3) 이후에 시작된다. 도시되지는 않았지만, 이러한 검증 전압 펄스들의 인가 방식은 타깃 상태들 각각에 대해서 적용될 수 있다. 따라서, 최적 프로그램 모드(PGM_0)에 따라 메모리 셀들을 프로그램하는 데에는 디폴트 프로그램 시간(tPROG_D)보다 짧은 최적 프로그램 시간(tPROG_0)이 소요된다.
- [0087] 이상에서는 검증 전압 펄스의 생략을 적용하는 최적 프로그램 모드(PGM_0)가 예시적으로 설명되었으나, 본 발명은 여기에 국한되지 않는다. 예를 들면, 시작 프로그램 펄스의 레벨(Vp_{gm1})을 디폴트 프로그램 모드(PGM_D)에 비해서 높일 수 있다. 또는, 종료 프로그램 펄스의 레벨(Vp_{gmM})을 디폴트 프로그램 모드(PGM_D)에 비해서 낮게 설정할 수도 있을 것이다. 하지만, 이러한 최적 프로그램 모드(PGM_0)에서의 파라미터 설정은 허용되는 마진 또는 신뢰성 범위 내에서 적용되어야 할 것이다.
- [0088] 도 12는 본 발명의 실시 예에 따른 리딩 워드 라인의 선택에 따른 성능 향상의 다른 예를 보여주는 도면이다. 도 6 및 도 12를 참조하면, 리딩 워드 라인(Leading WL)은 메모리 블록에 포함되는 레이어들 중 어느 하나의 레이어에만 할당될 수 있다.
- [0089] 이 실시 예에서, 리딩 워드 라인(Leading WL)으로 최하층에 위치하는 워드 라인들(WL_{1j}, j=1, 2, 3, 4) 중에서 워드 라인(WL₁₁)이 할당될 수 있다. 그리고 리딩 워드 라인(WL₁₁)과 동일 레이어에 위치하는 나머지 워드 라인들(WL₁₂, WL₁₃, WL₁₄)은 팔로잉 워드 라인들로 할당된다. 더불어, 나머지 레이어에 위치하는 워드 라인들(WL_{2j}, WL_{3j}, WL_{4j}, j=1, 2, 3, 4)은 모두 팔로잉 워드 라인으로 할당될 것이다.
- [0090] 프로그램 동작시 리딩 워드 라인(WL₁₁)이 선택되면, 메모리 컨트롤러(110)는 선택된 메모리 셀들을 디폴트 프로그램 모드(PGM_D)에 따라 프로그램하도록 불휘발성 메모리 장치(120)를 제어할 것이다. 디폴트 프로그램 모드(PGM_D)를 적용하는 경우, 프로그램 시간(tPROG_D)이 소요된다. 더불어, 디폴트 프로그램 모드(PGM_D)에서 메모리 컨트롤러(110)는 프로그램 결과 정보를 획득하고, 획득된 프로그램 결과 정보를 사용하여 파라미터 테이블(224, 도 3참조)을 업데이트할 것이다.
- [0091] 리딩 워드 라인(WL₁₁)과 동일 레이어에 위치하는 팔로잉 워드 라인들(WL₁₂, WL₁₃, WL₁₄)에 연결된 메모리 셀들은 최적 프로그램 모드(PGM_0)에 따라 프로그램될 것이다. 최적 프로그램 모드(PGM_0)에서는 메모리 셀들은 파라미터 테이블(224)에 업데이트된 최적 프로그램 파라미터에 따라 프로그램된다. 따라서, 팔로잉 워드 라인들(WL₁₂, WL₁₃, WL₁₄)에 연결된 메모리 셀들의 최적 프로그램 시간(tPROG_0)은 디폴트 프로그램 시간(tPROG_D)보다 짧아질 수 있다.
- [0092] 리딩 워드 라인(WL₁₁)과 다른 레이어에 위치하는 팔로잉 워드 라인들(WL_{2j}, WL_{3j}, WL_{4j}, j=1, 2, 3, 4)은 레이어 오프셋(Layer offset)이 적용된 최적 프로그램 파라미터로 설정된다. 리딩 워드 라인(WL₁₁)에 대한 디폴트 프로그램 모드(PGM_D)의 실행에 따라 획득된 프로그램 결과 정보와 레이어 오프셋(Layer offset)을 사용하여 팔로잉 워드 라인들(WL_{2j}, WL_{3j}, WL_{4j}, j=1, 2, 3, 4)에 대응하는 최적 프로그램 파라미터가 결정될 것이다. 여기서, 레이어 오프셋은 3차원 메모리 구조의 수직 레이어 변이성(Vertical layer variability)이 고려된 값이다. 레이어 오프셋은 각 레이어마다 다르게 적용될 수 있을 것이다.

- [0093] 이상에서는 하나의 메모리 블록에 하나의 리딩 워드 라인(Leading WL)이 할당되는 실시 예에서 본 발명의 이점이 설명되었다.
- [0094] 도 13은 도 12의 리딩 워드 라인 구조에서 프로그램 방법을 예시적으로 보여주는 순서도이다. 도 12 및 도 13을 참조하여, 레이어 오프셋을 적용한 최적 파라미터를 설정하는 스토리지 장치(100)의 동작이 설명될 것이다.
- [0095] S210 단계에서, 메모리 컨트롤러(110)는 선택된 리딩 워드 라인(WL11)에 연결된 메모리 셀들(이하, 리딩 메모리 셀들)을 프로그램하도록 불휘발성 메모리 장치(120)를 제어할 것이다. 이때, 메모리 컨트롤러(110)는 리딩 메모리 셀들을 디폴트 프로그램 파라미터에 따라 프로그램하도록 불휘발성 메모리 장치(120)를 제어할 것이다.
- [0096] S220 단계에서, 메모리 컨트롤러(110)는 불휘발성 메모리 장치(120)로부터 리딩 메모리 셀들에 대한 프로그램 결과 정보를 수신한다. 예를 들면, 갯 피쳐(Get feature) 명령어를 사용하여 리딩 워드 라인(WL11)에 연결된 메모리 셀들의 프로그램 결과 정보를 수신할 수 있다. 프로그램 결과 정보에는, 앞서 언급한 바와 같이 프로그램 루프별로 검증 전압(Verify voltage)의 레벨 이상으로 프로그램된 셀들의 수(Cell count), 문턱 전압이 검증 전압 레벨 이상으로 프로그램된 메모리 셀들의 수가 기준치(TH)를 초과하는 프로그램 루프 수, 타깃 상태별 프로그램 패스된 루프 수(Loop count) 중 적어도 하나일 수 있다. 하지만, 프로그램 결과 정보가 여기의 개시에만 국한되지 않음은 잘 이해될 것이다.
- [0097] S230 단계에서, 메모리 컨트롤러(110)는 획득된 프로그램 결과 정보를 바탕으로 팔로잉 워드 라인들(WL12, WL13, WL14, WL2j, WL3j, WL4j, j=1, 2, 3, 4)에 대응하는 최적 프로그램 파라미터를 결정한다. 이러한 최적 프로그램 파라미터의 결정은 플래시 변환 계층(112)에 포함되는 최적 파라미터 매니저(114)에 의해서 수행될 수 있을 것이다. 특히, 리딩 워드 라인(WL11)과 다른 레이어에 위치하는 팔로잉 워드 라인들(WL2j, WL3j, WL4j, j=1, 2, 3, 4)의 최적 프로그램 파라미터는 레이어 오프셋을 적용하여 설정될 것이다.
- [0098] S240 단계에서, 메모리 컨트롤러(110)는 팔로잉 워드 라인들(WL12, WL13, WL14, WL2j, WL3j, WL4j, j=1, 2, 3, 4)에 연결된 메모리 셀들을 프로그램한다. 이때에는, 최적 프로그램 파라미터를 사용하게 될 것이다.
- [0099] 도 14a 및 도 14b는 메모리 블록의 수직 레이어 변이성(Vertical layer variability)을 설명하기 위한 도면들이다. 도 14a는 프로그램/소거 횟수가 0인 경우, 각 레이어별 메모리 셀들의 비트 에러율(BER)을 보여준다. 도 14b는 프로그램/소거 횟수가 2000인 경우, 각 레이어별 메모리 셀들의 비트 에러율(BER)을 보여준다.
- [0100] 도 14a를 참조하면, 불휘발성 메모리 장치(120)의 프로그램/소거 횟수가 0인 경우, 메모리 셀들의 레이어별 신뢰성의 지표를 나타내는 정규화된 비트 에러율(BER_norm)이 도시되어 있다. 이 경우, 접지 선택 라인(GSL)에 인접한 워드 라인층(WL1)의 메모리 셀들의 비트 에러율(BER_norm)은 1.5를 상회하는 것으로 나타난다. 반면, 접지 선택 라인(GSL)과 스트링 선택 라인(SSL)의 중간 위치의 워드 라인 레이어(WLi)에서는 비트 에러율(BER_norm)이 1.0으로 나타난다. 그리고 스트링 선택 라인(SSL)과 가까워질수록 비트 에러율(BER_norm)은 증가하는 것으로 나타난다. 이러한 레이어별 비트 에러율(BER_norm)의 변화는 일정한 형태를 가진다.
- [0101] 도 14b를 참조하면, 불휘발성 메모리 장치(120)의 프로그램/소거 횟수가 2000인 경우, 메모리 셀들의 레이어별 신뢰성의 지표를 나타내는 정규화된 비트 에러율(BER_norm)이 도시되어 있다. 접지 선택 라인(GSL)에 인접한 워드 라인층(WL1)의 메모리 셀들의 비트 에러율(BER_norm)은 4.0을 상회하는 것으로 나타난다. 또한, 접지 선택 라인(GSL)과 스트링 선택 라인(SSL)의 중간 위치의 워드 라인 레이어(WLi)에서는 비트 에러율(BER_norm)이 2.5를 상회하는 것으로 나타난다. 또한, 스트링 선택 라인(SSL)과 가까워질수록 비트 에러율(BER_norm)은 증가하여 4.0을 초과하는 레이어도 존재한다. 프로그램/소거 횟수에 따라 비트 에러율은 증가하지만, 각 레이어별 특성 변화를 나타내는 수직 레이어 변이성(Vertical layer variability)은 충분히 유추가 가능하다. 수직 레이어 변이성(Vertical layer variability)은 프로그램/소거 횟수, 동작 온도나 공정 변화 등에 따라 조정될 수 있음을 알 수 있다.
- [0102] 도 15는 리딩 워드 라인의 선택에 따라 성능 향상이 가능한 또 다른 실시 예를 보여주는 도면이다. 도 6 및 도 15를 참조하면, 리딩 워드 라인(Leading WL)은 메모리 블록에 포함되는 레이어들 각각에 할당될 수 있다. 하지만, 가장 먼저 프로그램되는 리딩 워드 라인에만 디폴트 프로그램 모드가 적용된다.
- [0103] 이 실시 예에서, 리딩 워드 라인(Leading WL)은 각 레이어에 적어도 하나가 할당될 수 있다. 하지만, 최하층에 위치하는 리딩 워드 라인(WL11)의 메모리 셀들에 대한 프로그램 결과 정보가 최하층의 팔로잉 워드 라인들(WL12, WL13, WL14)뿐 아니라 다른 레이어의 최적 프로그램 파라미터를 설정하는데에 사용된다. 즉, 리딩 워드 라인(WL11)의 메모리 셀들에 대한 프로그램 결과 정보와 레이어 오프셋을 사용하여 다른 레이어의 모든 메모리

셀들의 최적 프로그램 파라미터가 결정될 수 있다.

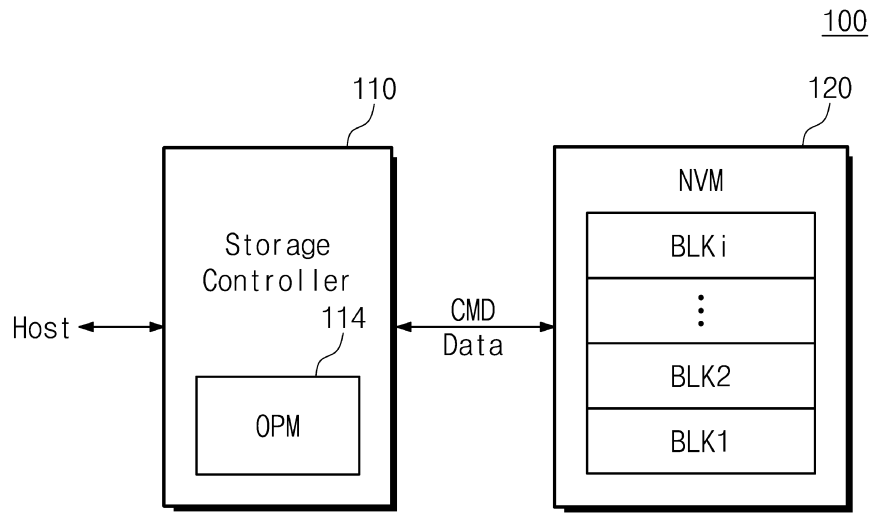
- [0104] 하지만, 도 12의 실시 예와 다른 점은, 각 레이어별 리딩 워드 라인(WL21, WL31, WL41)에 연결되는 메모리 셀들은 최적 프로그램 파라미터에 따라 프로그램된다는 것이다. 더불어, 이들 메모리 셀들로부터 프로그램 결과 정보가 획득될 수 있다는 것이다. 즉, 리딩 워드 라인(WL21, WL31, WL41)에 연결되는 메모리 셀들은 최적 프로그램 파라미터에 따라 프로그램되지만, 프로그램 결과 정보도 독출된다. 이러한 프로그램 모드를 혼합 프로그램 모드(PGM_M)라 칭하기로 한다. 혼합 프로그램 모드(PGM_M)에 따라 해당 레이어의 팔로잉 워드 라인의 메모리 셀들은 좀더 세밀하게 조정된 최적 프로그램 파라미터로 프로그램될 수 있다.
- [0105] 도 16은 도 15의 리딩 워드 라인 구조에서 프로그램 방법을 예시적으로 보여주는 순서도이다. 도 15 및 도 16을 참조하여, 레이어 오프셋을 적용한 최적 파라미터를 설정하는 스토리지 장치(100)의 동작이 설명될 것이다.
- [0106] S310 단계에서, 메모리 컨트롤러(110)는 선택된 리딩 워드 라인(WL11)에 연결된 메모리 셀들(이하, 리딩 메모리 셀들)을 프로그램하도록 불휘발성 메모리 장치(120)를 제어할 것이다. 이때, 메모리 컨트롤러(110)는 리딩 메모리 셀들을 디폴트 프로그램 파라미터에 따라 프로그램하도록 불휘발성 메모리 장치(120)를 제어할 것이다.
- [0107] S320 단계에서, 메모리 컨트롤러(110)는 불휘발성 메모리 장치(120)로부터 리딩 메모리 셀들에 대한 프로그램 결과 정보를 수신한다.
- [0108] S330 단계에서, 메모리 컨트롤러(110)는 획득된 프로그램 결과 정보를 바탕으로 나머지 워드 라인들(WL12, WL13, WL14, WL2j, WL3j, WL4j, j=1, 2, 3, 4)에 대응하는 최적 프로그램 파라미터를 결정한다. 특히, 리딩 워드 라인(WL11)과 다른 레이어에 위치하는 워드 라인들(WL2j, WL3j, WL4j, j=1, 2, 3, 4)의 최적 프로그램 파라미터는 레이어 오프셋을 적용하여 설정될 것이다.
- [0109] S340 단계에서, 리딩 워드 라인(WL11)에 이어 다음에 프로그램될 메모리 셀들을 선택한다.
- [0110] S350 단계에서, 메모리 컨트롤러(110)는 선택된 메모리 셀들이 리딩 워드 라인(WL11)과 동일 레이어에 속하는지 판단한다. 만일, 다음 프로그램을 위해 선택된 메모리 셀들이 리딩 워드 라인(WL11)과 동일 레이어에 속하는 경우(Yes 방향), 절차는 S360 단계로 이동한다. 반면, 다음 프로그램을 위해 선택된 메모리 셀들이 리딩 워드 라인(WL11)과 다른 레이어에 속하는 경우(No 방향), 절차는 S355 단계로 이동한다.
- [0111] S360 단계에서, 메모리 컨트롤러(110)는 리딩 워드 라인(WL11)과 동일 레이어에 속하는 메모리 셀들을 이미 설정된 최적 프로그램 파라미터를 적용하여 프로그램할 것이다.
- [0112] S355 단계에서, 메모리 컨트롤러(110)는 다음 프로그램을 위해 선택된 메모리 셀들이 리딩 워드 라인에 대응하는지 판단한다. 만일, 다음 프로그램을 위해 선택된 메모리 셀들이 리딩 워드 라인에 대응하는 경우(Yes 방향), 절차는 S370 단계로 이동한다. 반면, 다음 프로그램을 위해 선택된 메모리 셀들이 리딩 워드 라인이 아닌 경우(No 방향), 절차는 S360 단계로 이동한다.
- [0113] S370 단계에서, 메모리 컨트롤러(110)는 선택된 리딩 워드 라인에 연결된 메모리 셀들(이하, 리딩 메모리 셀들)을 이미 설정된 최적 프로그램 파라미터에 따라 프로그램하도록 불휘발성 메모리 장치(120)를 제어한다.
- [0114] S380 단계에서, 메모리 컨트롤러(110)는 불휘발성 메모리 장치(120)로부터 리딩 메모리 셀들에 대한 프로그램 결과 정보를 수신한다.
- [0115] S390 단계에서, 메모리 컨트롤러(110)는 획득된 프로그램 결과 정보를 바탕으로 S370 단계에서 프로그램된 메모리 셀들과 동일 레이어에 속하는 팔로잉 워드 라인들에 대응하는 최적 프로그램 파라미터를 결정한다.
- [0116] 도 17은 다른 실시 예에 따른 플래시 변환 계층(FTL)의 구조를 보여주는 블록도이다. 도 17을 참조하면, 스토리지 컨트롤러(110)를 구동하는 플래시 변환 계층(112)은 접근 매니저(310)와 확장 맵핑 테이블(320)을 포함한다.
- [0117] 접근 매니저(310)는 호스트로부터 읽기 요청(Read Request)을 수신하고, 수신된 읽기 요청을 실행하기 위해 메모리 셀들을 선택한다. 접근 매니저(310)는 선택된 메모리 셀들로부터 독출된 데이터에 정정 불가 에러(Uncorrectable Error)가 검출되는 경우, 조정된 읽기 파라미터를 사용하는 읽기 재시도(Read retry)를 실행할 것이다. 그리고 접근 매니저(310)는 읽기 재시도(Read retry)를 통해서 독출된 데이터에 에러가 검출되지 않거나, 정정 가능한 에러가 검출되면 읽기 재시도(Read retry)가 성공한 것으로 판단한다. 접근 매니저(310)는 읽기 재시도가 성공한 시점에서의 읽기 파라미터를 확장 맵핑 테이블(320)에 구비된 버퍼 읽기 오프셋 테이블(322)에 저장할 것이다.

- [0118] 읽기 재시도가 발생한 이후, 동일한 레이어의 메모리 셀들에 대한 읽기 요청이 발생하면, 접근 매니저(310)는 버퍼 읽기 오프셋 테이블(322)에 저장된 읽기 파라미터를 적용하여 선택된 메모리 셀들에 접근할 것이다. 읽기 재시도가 발생한 이후, 읽기 재시도(Read retry) 이벤트가 발생한 레이어와 다른 레이어의 메모리 셀들에 대한 읽기 요청이 발생할 수 있다. 이 경우, 접근 매니저(310)는 버퍼 읽기 오프셋 테이블(322)에 저장된 읽기 파라미터에 레이어 읽기 오프셋 테이블(324)을 추가로 적용하여 선택된 메모리 셀들에 접근할 것이다.
- [0119] 도 18은 도 17의 확장 맵핑 테이블을 활용한 불휘발성 메모리 장치의 읽기 방법을 보여주는 도면이다. 도 18을 참조하면, 워드 라인(WL23)의 메모리 셀들에 대한 읽기 동작시 읽기 재시도(Read retry) 이벤트가 발생하는 것으로 가정하기로 한다.
- [0120] 워드 라인(WL23)에 대응하는 메모리 셀들의 읽기 동작시 정정 불가능한 에러가 발생한다. 그러면, 접근 매니저(310)는 워드 라인(WL23)에 대응하는 메모리 셀들에 대해 변경된 읽기 파라미터를 적용하여 읽기 재시도를 실행할 것이다. 읽기 재시도가 성공하면, 성공한 시점에서의 읽기 파라미터가 버퍼 읽기 오프셋 테이블(322)에 저장된다. 이러한 과정은 식별번호 ①의 화살표로 도시하였다.
- [0121] 이어서, 워드 라인(WL24)에 대응하는 메모리 셀들의 읽기 요청이 발생하면, 접근 매니저(310)는 읽기 재시도가 발생한 레이어와 동일한 레이어에 대응하는지 판단한다. 워드 라인(WL24)은 읽기 재시도 이벤트가 적용된 워드 라인(WL23)과 동일한 레이어에 포함된다. 따라서, 워드 라인(WL24)에 대응하는 메모리 셀들에 대한 읽기 동작은 버퍼 읽기 오프셋 테이블(322)에 최적 읽기 레벨을 사용하여 실행될 것이다. 이러한 과정은 식별번호 ②의 화살표로 도시되어 있다.
- [0122] 더불어, 읽기 재시도가 발생한 레이어와 다른 레이어에 대응하는 워드 라인(WL32)의 메모리 셀들의 읽기 요청이 발생할 수 있다. 이때, 접근 매니저(310)는 버퍼 읽기 오프셋 테이블(322)에 저장된 최적 읽기 레벨과 레이어 읽기 오프셋 테이블(324)에 저장된 레이어 오프셋을 모두 고려하여 읽기 파라미터를 설정할 것이다. 이러한 과정은 식별번호 ③의 화살표로 도시되어 있다.
- [0123] 도 19는 도 18에서의 읽기 동작시 파라미터 설정 방법을 보여주는 순서도이다. 도 19를 참조하면, 특정 워드 라인에서 읽기 재시도 이벤트가 발생하는 경우, 이후 동일 메모리 블록으로의 접근은 읽기 재시도를 통해서 새롭게 설정된 읽기 파라미터를 사용하여 진행된다.
- [0124] S410 단계에서, 메모리 컨트롤러(110)는 읽기 요청을 수신한다. 이때, 읽기 요청된 메모리 셀들이 워드 라인(WL23)에 연결된 메모리 셀들이 포함되는 것으로 가정하기로 한다. 읽기 요청에 응답하여 메모리 컨트롤러(110)는 워드 라인(WL23)에 연결된 메모리 셀들로부터 데이터를 독출한다.
- [0125] S420 단계에서, 메모리 컨트롤러(110)는 독출된 데이터의 에러를 검출할 것이다. 독출된 데이터의 에러는 에러 정정 블록(117, 도 2 참조)을 통해서 검출 가능하다.
- [0126] S430 단계에서, 메모리 컨트롤러(110)는 독출된 데이터에 에러가 존재하지 않거나, 에러가 존재하더라도 정정 가능한지 판단한다. 만일, 에러가 검출되지 않거나 정정 가능한 에러가 검출되는 경우(Yes 방향), 절차는 S435 단계로 이동한다. 하지만, 독출된 데이터로부터 정정 불가능한 에러(Uncorrectable error)가 검출되는 경우(No 방향), 절차는 S440 단계로 이동한다.
- [0127] S435 단계에서, 메모리 컨트롤러(110)는 독출된 데이터의 에러를 정정한다. 그리고 에러 정정된 독출 데이터는 호스트측으로 전송될 것이다.
- [0128] S440 단계에서, 메모리 컨트롤러(110)는 읽기 재시도(Read retry)를 실행한다. 즉, 메모리 컨트롤러(110)는 변경된 읽기 전압을 적용하여 워드 라인(WL23)에 연결된 메모리 셀들에 대한 읽기를 수행한다.
- [0129] S450 단계에서, 메모리 컨트롤러(110)는 읽기 재시도를 통해서 독출된 데이터에 대한 에러 검출을 수행한다. 그리고 메모리 컨트롤러(110)는 에러가 존재하지 않거나 에러가 존재하더라도 정정 가능한지를 판단한다. 에러가 검출되지 않거나, 정정 가능한 에러가 검출되는 경우(Yes 방향), 절차는 S460 단계로 이동한다. 반면, 여전히 정정 불가능한 에러가 검출되는 경우(No 방향), 절차는 S455 단계로 이동한다.
- [0130] S455 단계에서, 메모리 컨트롤러(110)는 읽기 파라미터를 조정한다. 그리고 절차는 조정된 읽기 파라미터를 적용하는 읽기 재시도를 수행하기 위해 S440 단계로 복귀한다.
- [0131] S460 단계에서, 메모리 컨트롤러(110)는 성공한 읽기 재시도 시점에서의 읽기 레벨(최적 읽기 레벨)을 버퍼 읽기 오프셋 테이블(322)에 저장한다.

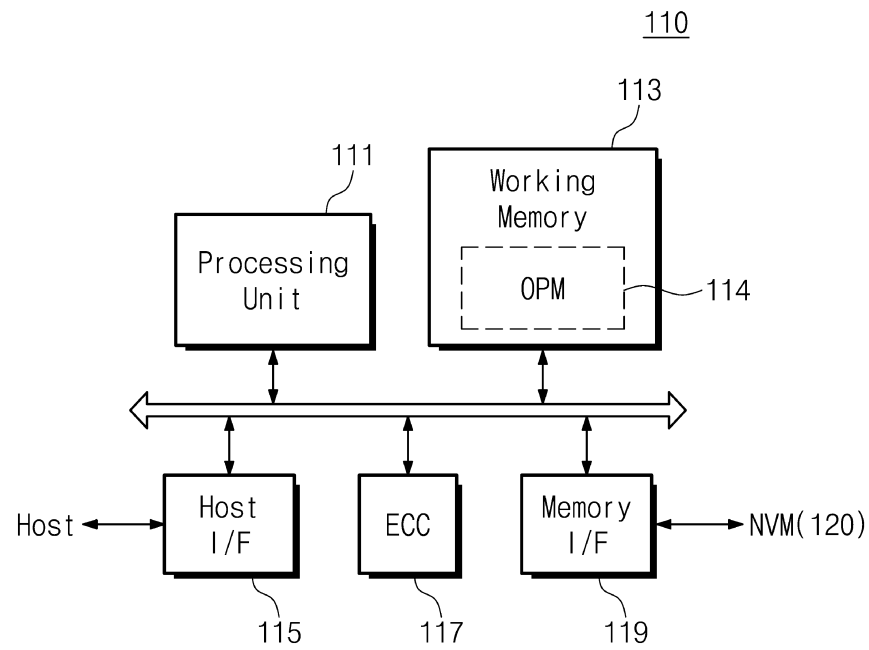
- [0132] S470 단계에서, 메모리 컨트롤러(110)는 후속되는 읽기 요청을 수신한다.
- [0133] S480 단계에서, 메모리 컨트롤러(110)는 읽기 요청된 메모리 셀들이 읽기 재시도 이벤트가 발생한 워드 라인(WL23)과 동일한 레이어에 속하는지 판단한다. 만일, 읽기 요청된 메모리 셀들이 읽기 재시도 이벤트가 발생한 워드 라인(WL23)과 동일한 레이어에 속하는 경우(Yes 방향), 절차는 S490 단계로 이동한다. 반면, 읽기 요청된 메모리 셀들이 읽기 재시도 이벤트가 발생한 워드 라인(WL23)과 다른 레이어에 속하는 경우(No 방향), 절차는 S495 단계로 이동한다.
- [0134] S490 단계에서, 선택된 메모리 셀들은 버퍼 읽기 오프셋 테이블(322)에 저장된 업데이트된 읽기 레벨을 적용하여 독출될 것이다.
- [0135] S495 단계에서, 선택된 메모리 셀들은 버퍼 읽기 오프셋 테이블(322)에 저장된 버퍼 읽기 오프셋과 더불어 레이어 읽기 오프셋을 모두 적용하여 독출될 것이다.
- [0136] 이상에서는 읽기 재시도 이벤트가 발생하는 경우, 추후에 발생할 수 있는 읽기 재시도 이벤트의 발생을 미리 예방하기 위한 방법이 설명되었다.
- [0137] 도 20은 본 발명의 다른 실시 예에 따른 플래시 변환 계층(FTL)의 구조를 예시적으로 보여주는 블록도이다. 도 20을 참조하면, 플래시 변환 계층(112)은 쓰기 버퍼(412)와 프리 블록 매니저(414)를 포함하는 워드 라인 할당 매니저(WAM, 410)와 확장 맵핑 테이블(430)을 포함한다.
- [0138] 워드 라인 할당 매니저(410)는 쓰기 버퍼(412)와 프리 블록 매니저(414)를 포함한다. 프리 블록(Free block)은 쓰기 버퍼(412)에 저장된 데이터를 즉시 기입할 수 있는 불휘발성 메모리 장치(120)의 메모리 블록을 의미한다. 워드 라인 할당 매니저(410)는 프리 블록에 대응하는 메모리 블록이 부족한 경우, 가비지 컬렉션 매니저(420)에 가비지 컬렉션 요청을 전달한다. 그러면, 가비지 컬렉션 매니저(420)는 가비지 컬렉션을 수행하여 프리 블록을 확보한다.
- [0139] 앞서 설명한 바와 같이 본 발명의 메모리 블록은 리딩 워드 라인에 대응하는 프로그램 속도가 상대적으로 낮은 영역과, 팔로잉 워드 라인에 대응하는 프로그램 속도가 상대적으로 높은 영역으로 구성된다.
- [0140] 쓰기 버퍼(412)의 상태가 대역폭이 큰 쓰기 동작을 요청하는 경우, 프리 블록 매니저(414)는 쓰기 버퍼(412)의 데이터를 불휘발성 메모리 장치(120)의 팔로잉 워드 라인에 대응하는 영역으로 기입할 것이다. 반면, 쓰기 버퍼(412)의 상태가 대역폭이 크지 않은 쓰기 동작을 요청하는 경우, 프리 블록 매니저(414)는 쓰기 버퍼(412)의 데이터를 불휘발성 메모리 장치(120)의 리딩 워드 라인에 대응하는 영역으로 기입할 것이다.
- [0141] 도 21은 쓰기 버퍼의 상태에 따른 메모리 블록으로의 플래시 방법을 간략히 보여준다. 도 21을 참조하면, 쓰기 버퍼(412)의 이용율(μ)에 따라 버퍼링 데이터가 플러시(Flush)되는 프리 블록의 영역이 결정될 수 있다.
- [0142] 먼저, 쓰기 버퍼(412)의 이용율(μ)이 기준치(μ_{TH})보다 낮은 ① 상태의 경우, 버퍼링 데이터의 플러시는 프리 블록의 일반 대역폭 영역으로 기입된다. 일반 대역폭 영역은 앞서 설명된 리딩 워드 라인들(Leading WL)에 연결된 메모리 셀들을 포함한다. 반면, 쓰기 버퍼(412)의 이용율(μ)이 기준치(μ_{TH}) 이상인 ② 상태의 경우, 버퍼링 데이터는 프리 블록의 고대역폭 영역으로 기입된다. 고대역폭 영역은 앞서 설명된 팔로잉 워드 라인들(Leading WL)에 연결된 메모리 셀들을 포함한다.
- [0143] 더불어, 애플리케이션 레벨에서 제공되는 핫 데이터 또는 콜드 데이터 여부에 따라 데이터는 메모리 블록의 고대역폭 또는 일반 대역폭 영역에 선택적으로 저장될 수도 있다.
- [0144] 이상에서와 같이 도면과 명세서에서 실시 예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허 청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서 본 발명의 진정한 기술적 보호 범위는 첨부된 특허 청구범위의 기술적 사상에 의해 정해져야 할 것이다.

도면

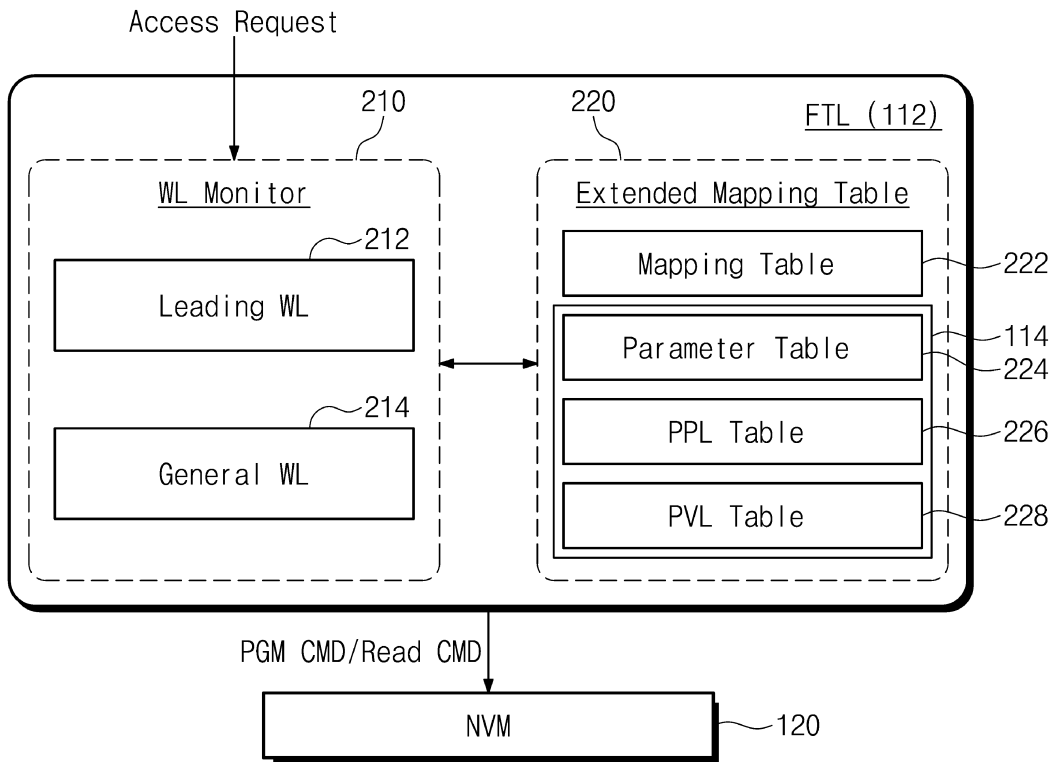
도면1



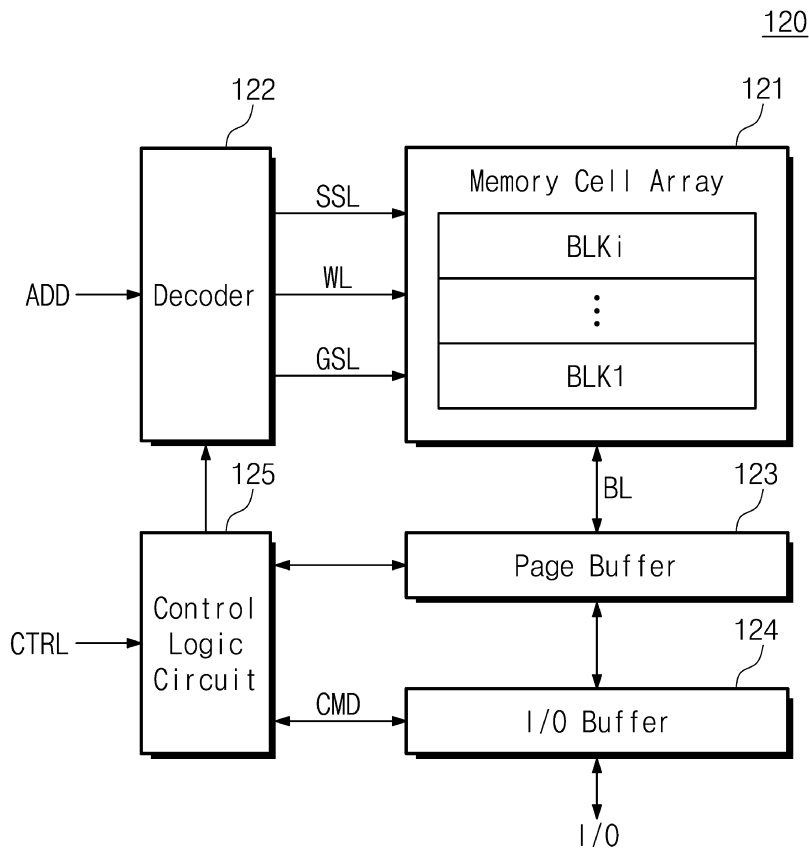
도면2



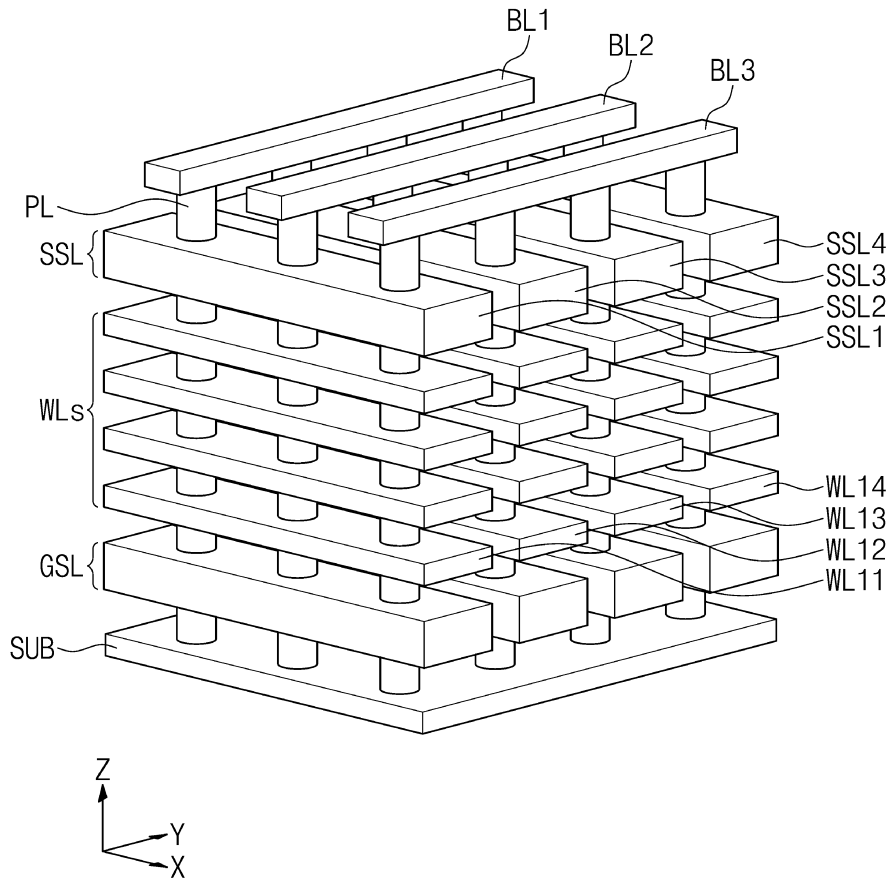
도면3



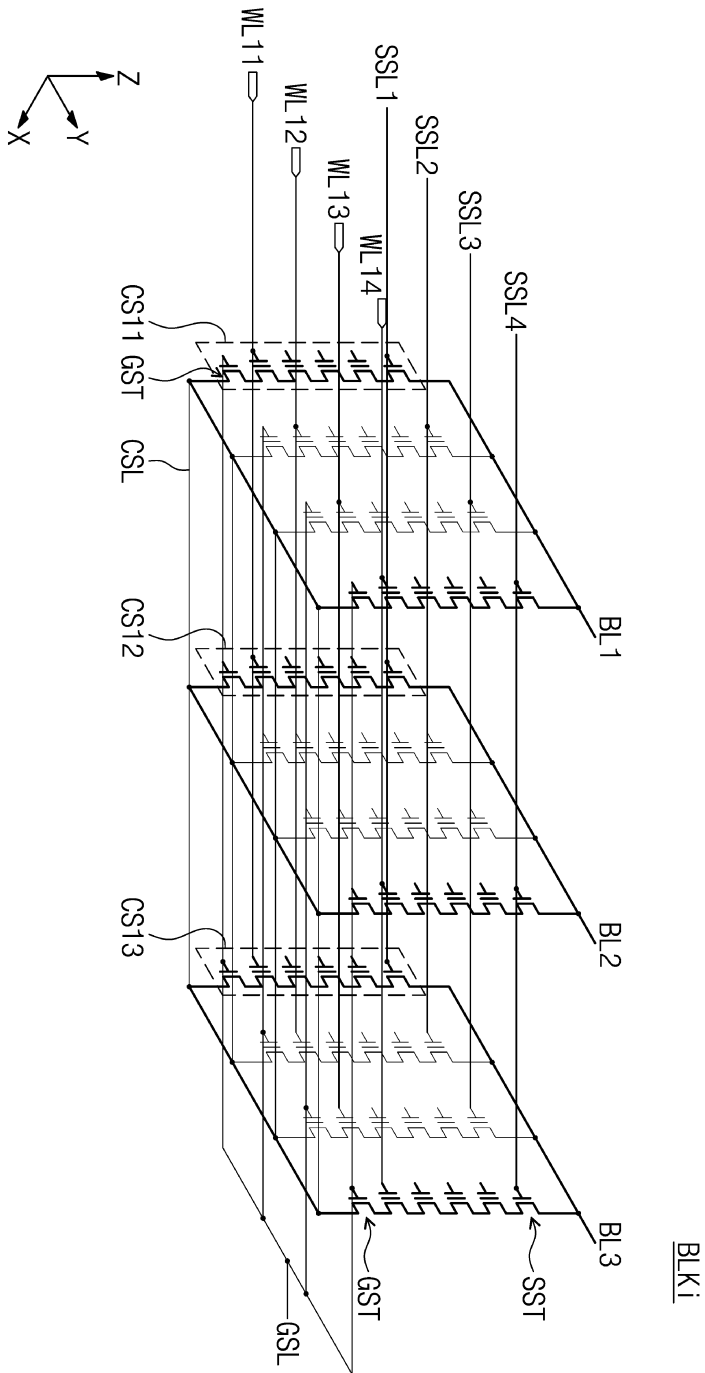
도면4



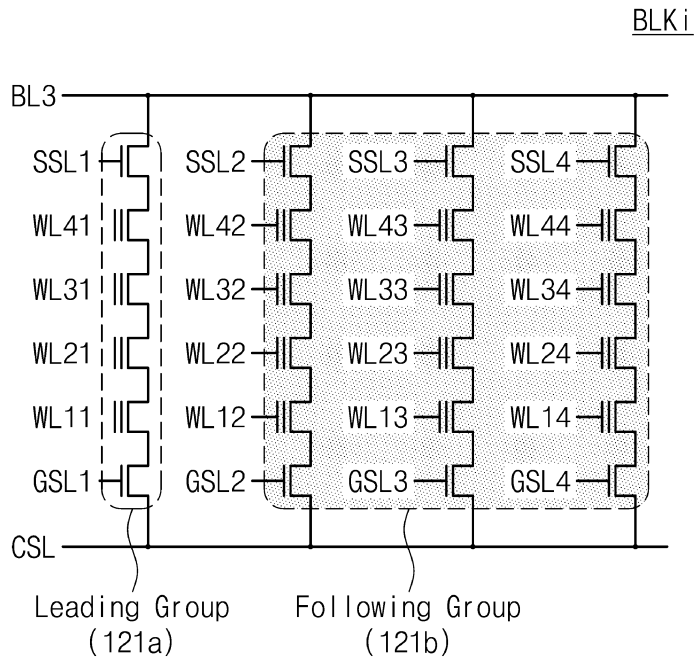
도면5



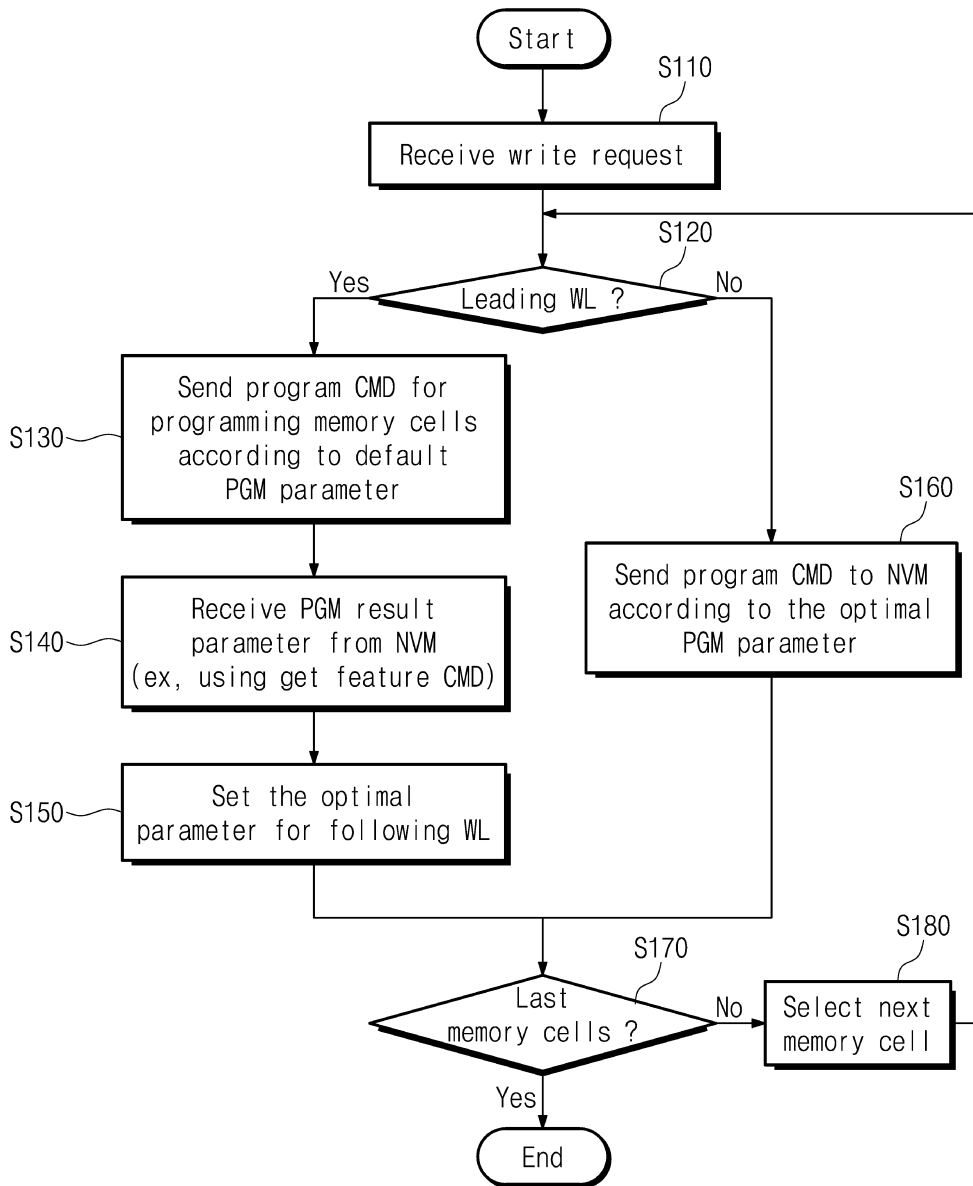
도면6



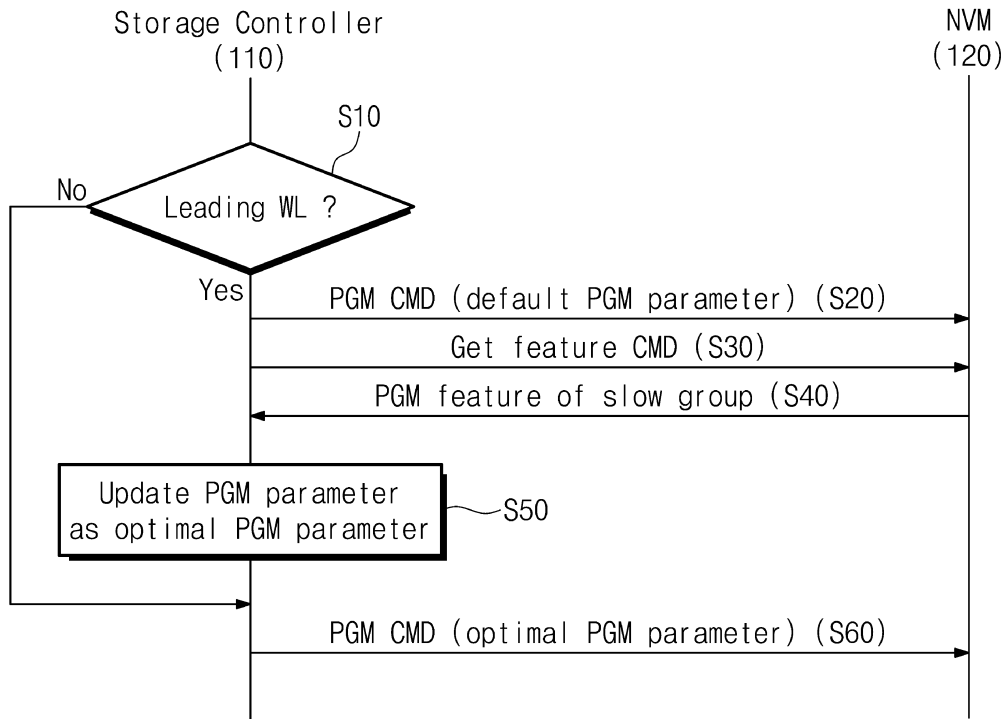
도면7



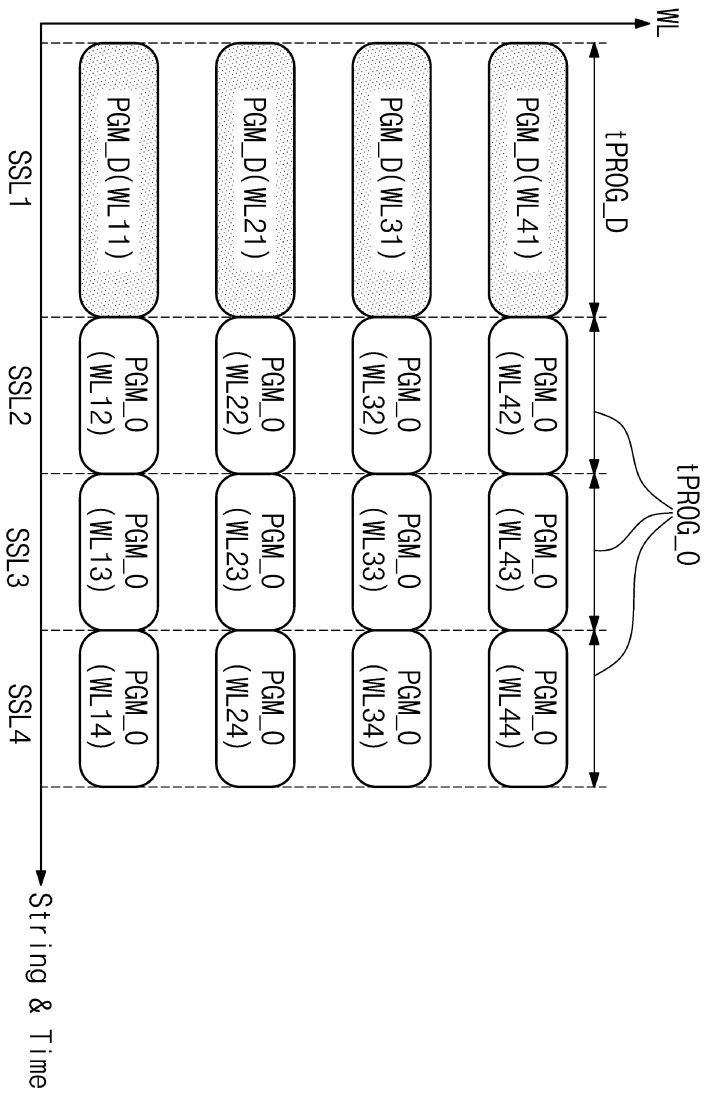
도면8



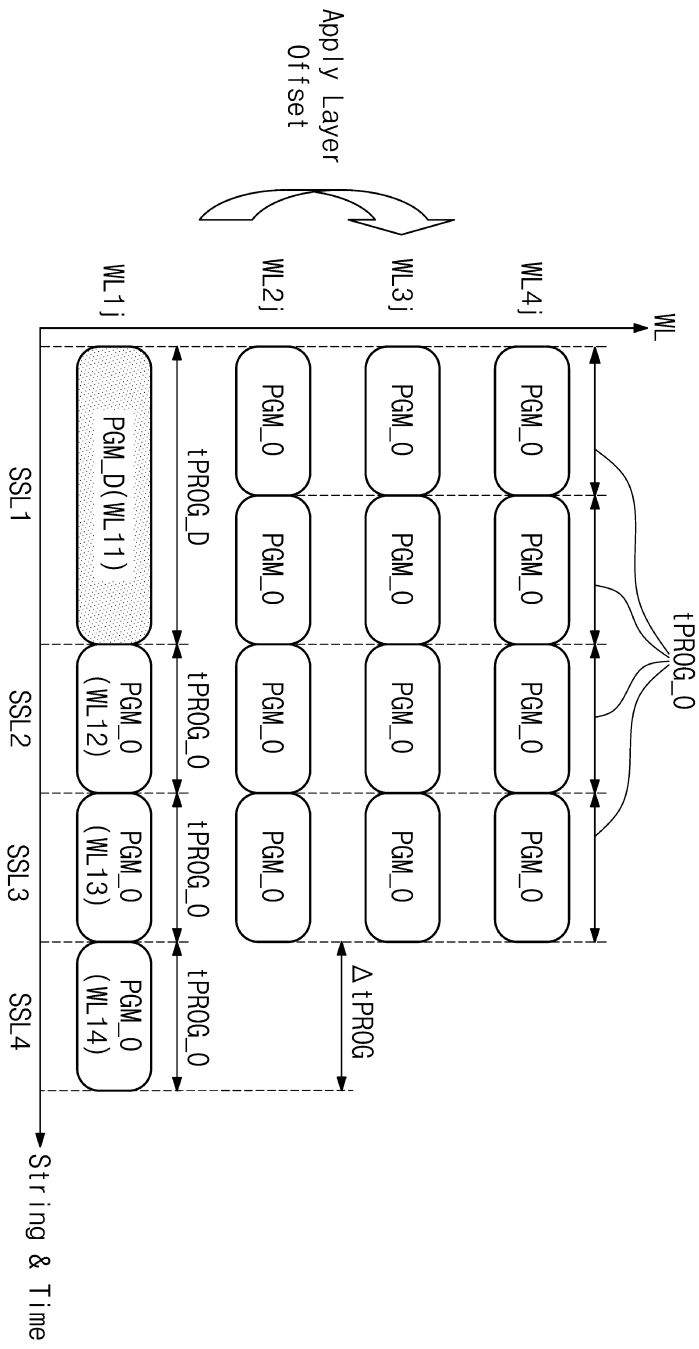
도면9



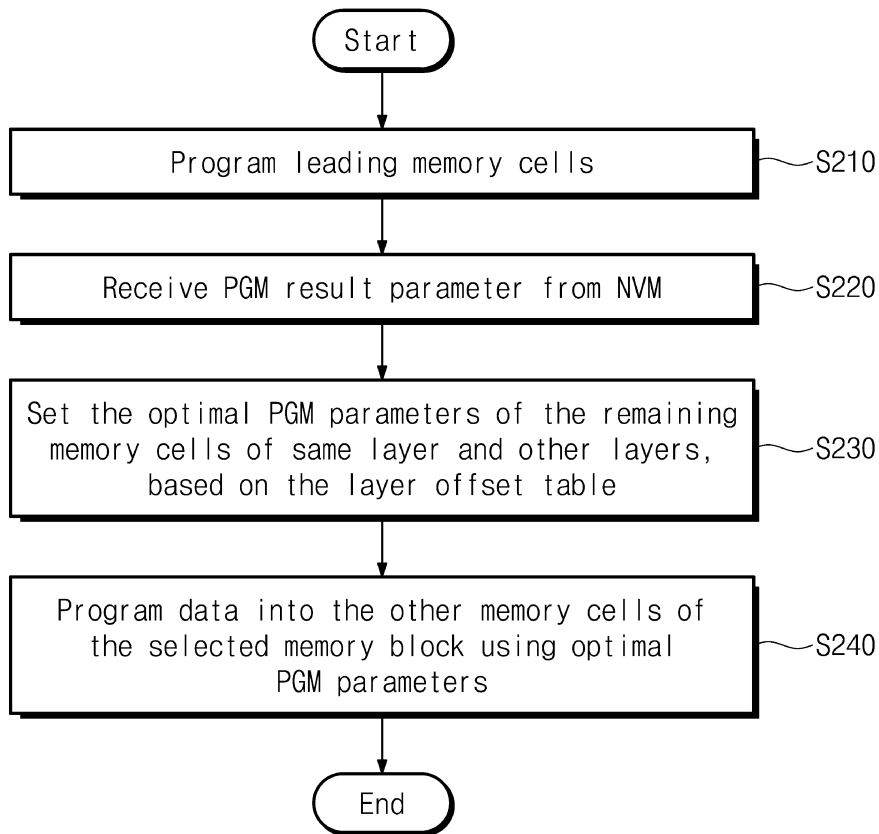
도면10



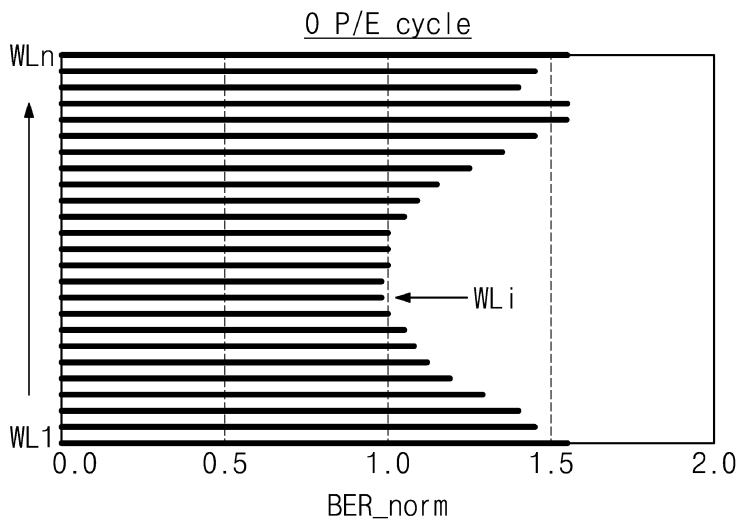
도면12



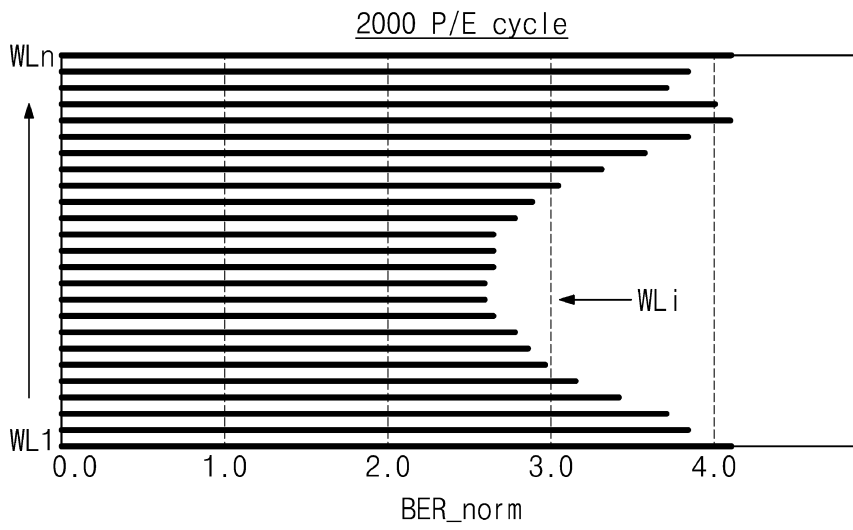
도면13



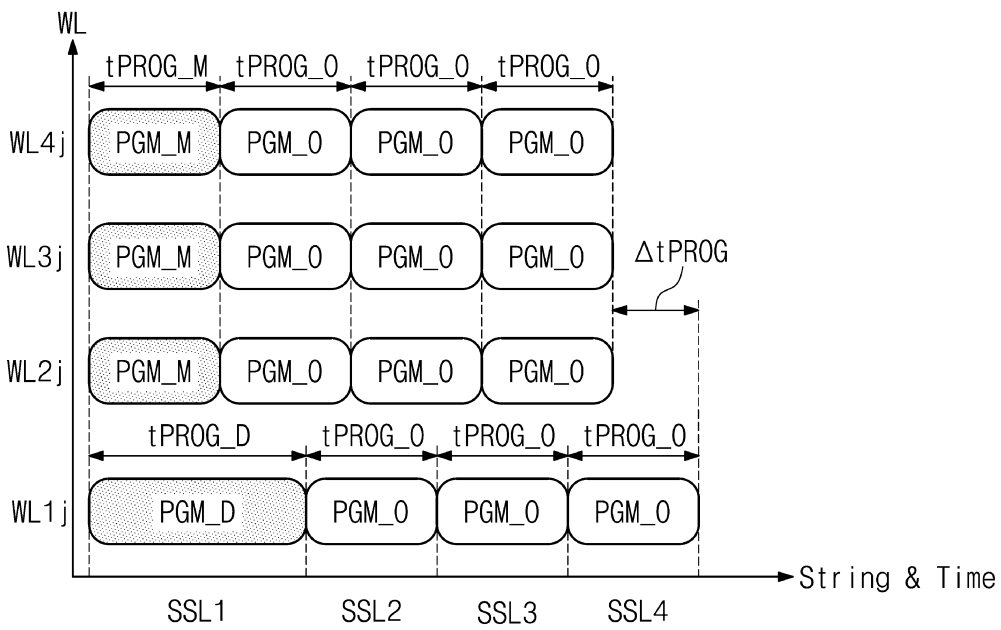
도면14a



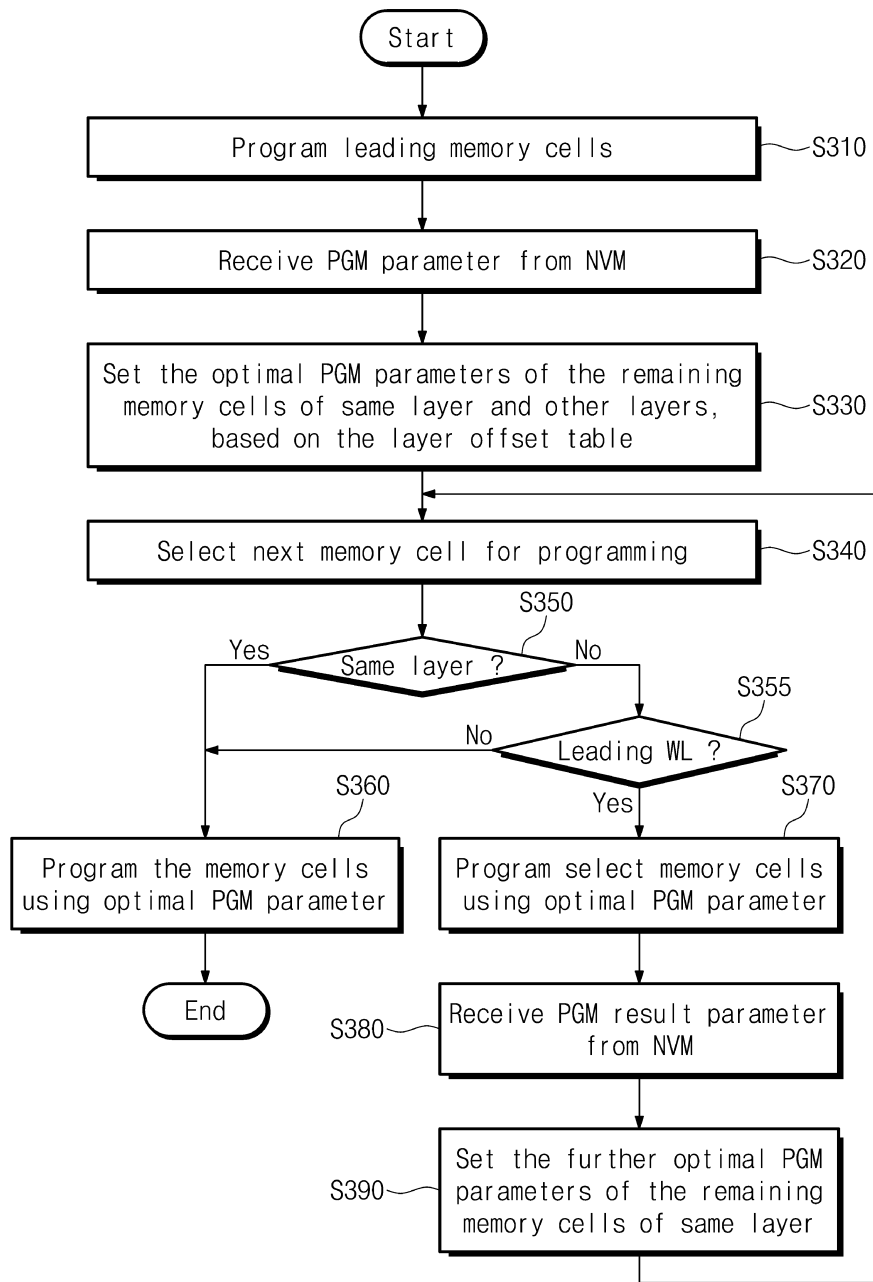
도면14b



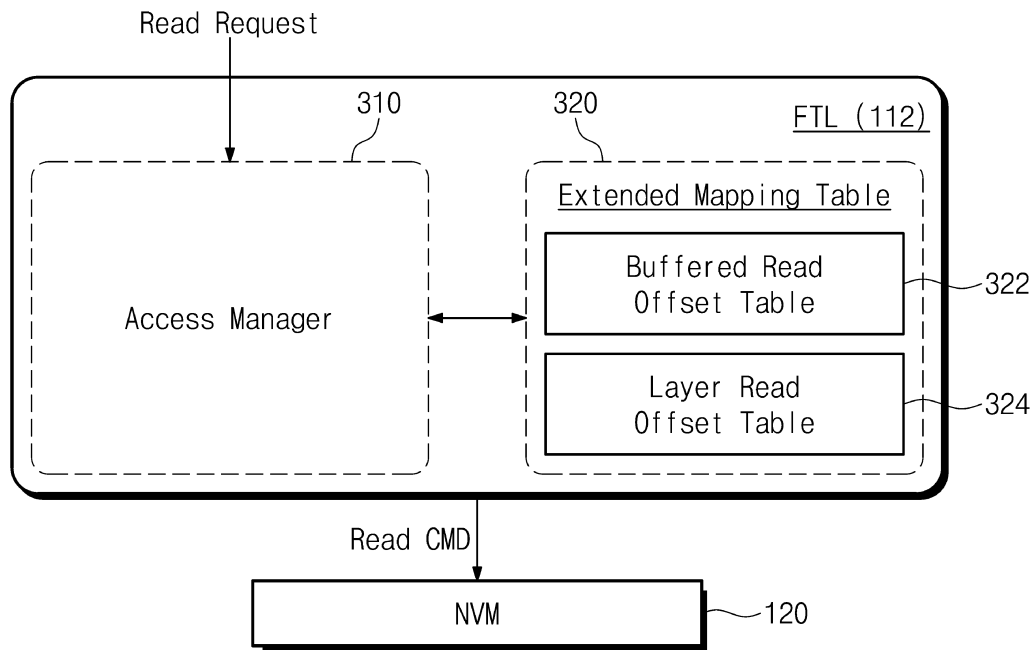
도면15



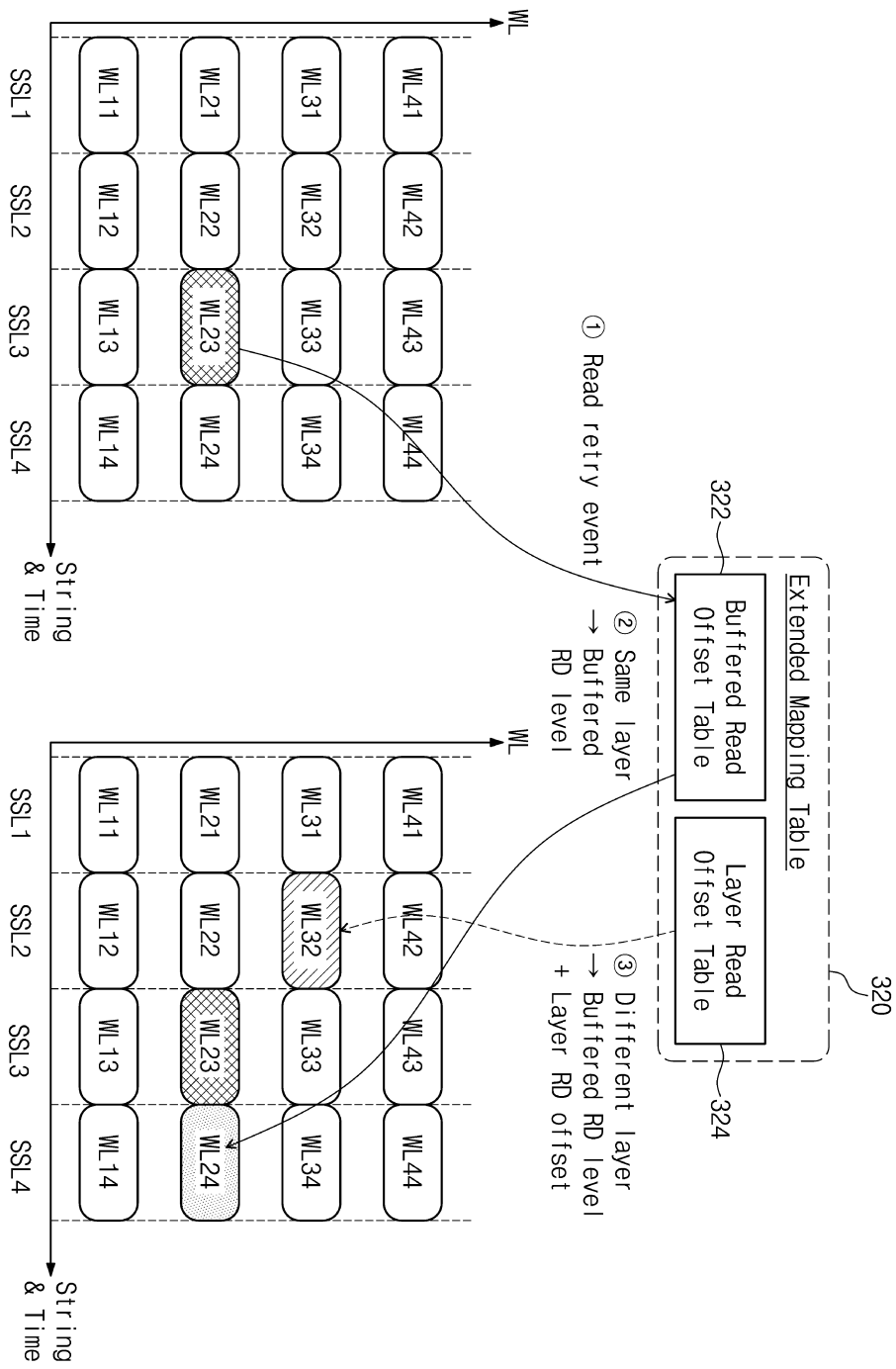
도면16



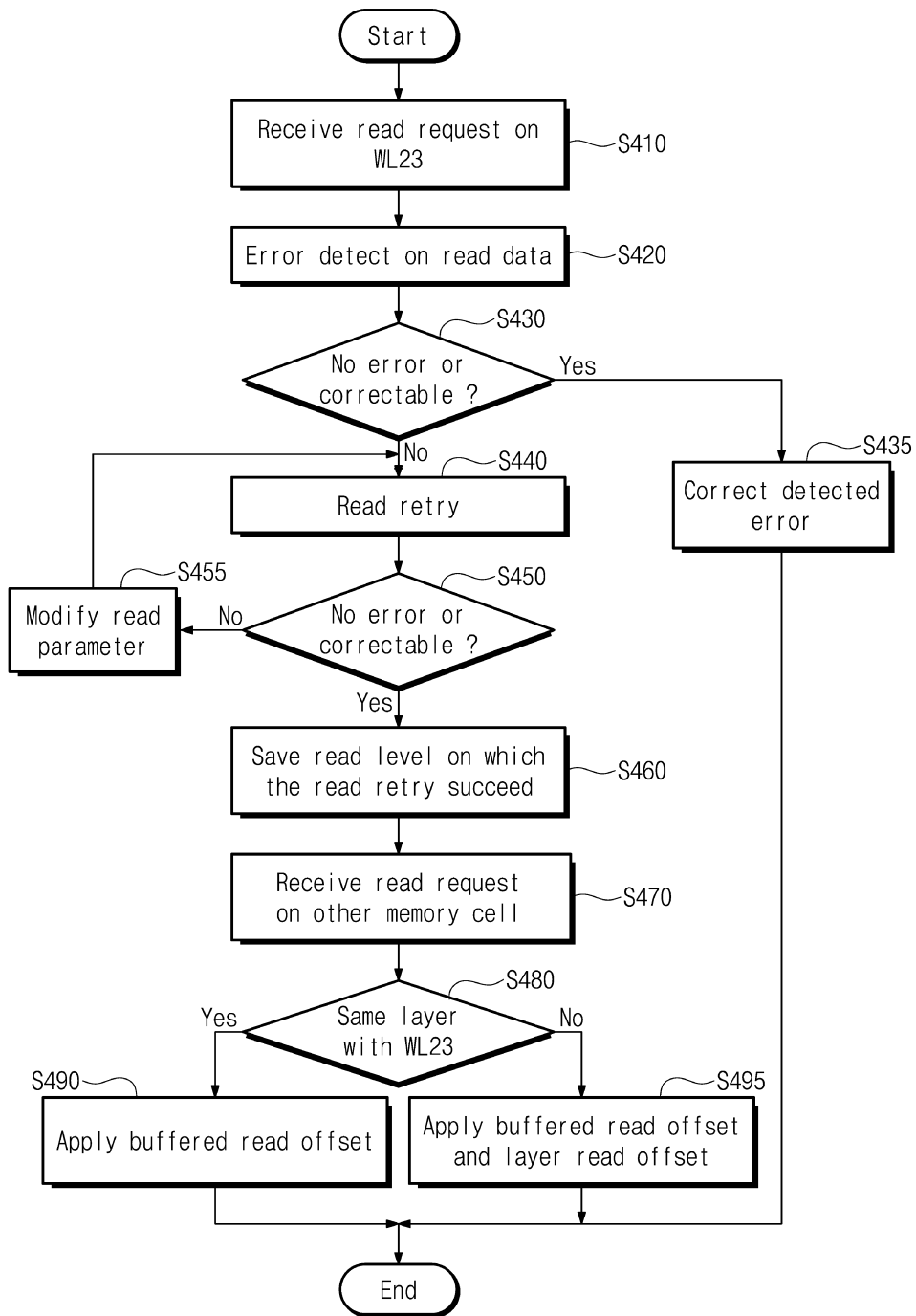
도면17



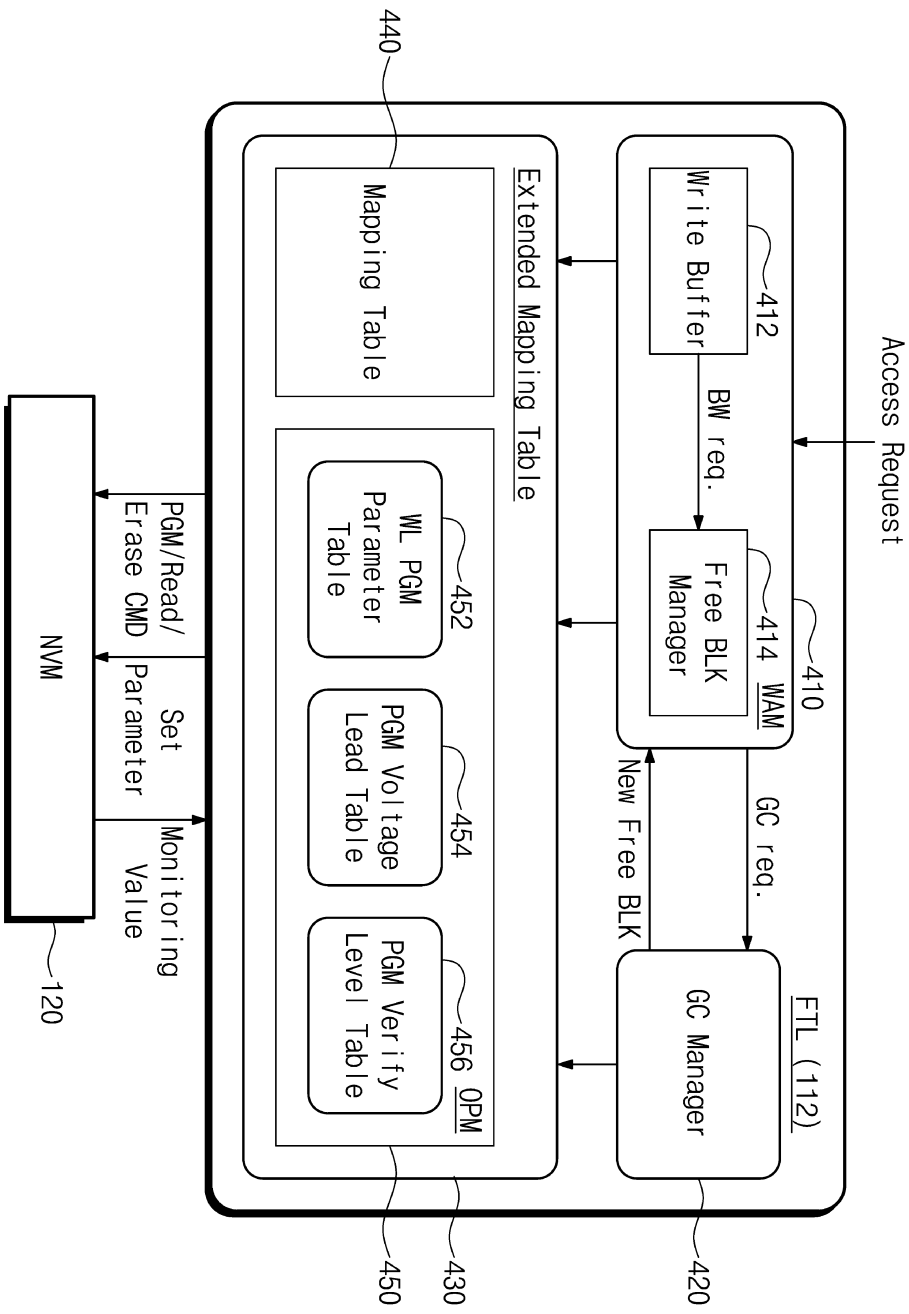
도면18



도면19



도면20



도면21

