

강의 계획서

배포일: 9 월 2 일

■ 강좌 목표 및 개요

본 강좌는 논리 설계 수업시간에 배운 이론 지식을 실습 시간을 통해 직접 설계해보고 시뮬레이션 해봄으로써 실제 디지털 시스템을 설계하기 위해 필요한 지식을 습득할 수 있는 기회를 제공한다. 강좌 전반적으로 기본 적인 지식을 습득하고, 최종적으로 기말 프로젝트를 통해 한 학기 동안 이론과 실습으로 배웠던 지식을 복합적으로 활용하여 주어진 기능을 수행하는 디지털 시스템을 설계해 보는 것을 목표로 한다.

■ 담당 교수 및 조교

➤ 담당 교수: 김지홍 (컴퓨터공학부 교수)

302 동 328 호 jihong@davinci.snu.ac.kr 880-8792

Office hours: 월요일 오후 2:00 – 3:00 (or by appointment)

조교: 박지훈/김태진

박지훈: 302 동 315-2 호, promar2@davinci.snu.ac.kr, 880-1861

김태진: 302 동 315-2 호, taejin1999@davinci.snu.ac.kr, 880-1861

Office hours: 수요일 오후 2:00 – 3:00

■ 강좌 시간/장소/홈페이지

➤ 강좌 시간: 화/목 11, 12, 13 교시 (3 학점, 6 시간)

➤ 장소: 302 동 310-2 호

➤ 홈페이지: http://davinci.snu.ac.kr/courses/logic_lab/2010_2

➤ 강좌와 관련된 여러 사항들이 홈페이지를 통하여 전달됨으로 홈페이지를 정기적으로 방문할 것.

➤ 강의 slide 를 강의 전 홈페이지에서 다운 로드 받아서 수업에 참석할 것.

➤ 강의/숙제 관련 질문들은 홈페이지 게시판을 이용할 것.

■ 실험 교재

➤ 매주 확정된 실험자료가 chapter 별로 upload 됨

■ 평가

➤ 수업태도: 10%

➤ 리포트: 45%

➤ 중간고사: 10%

➤ 프로젝트: 35%

■ 출석 요구 사항

실험과목의 특성상 출석이 매우 중요함. 따라서, 결석에 대해 성적을 다음과 같이 조정함:

- 1 번째 결석: 최종 학점에서 3 단계 강등
- 2 번째 결석: 최종 학점에서 추가로 3 단계 강등
- 3 번 이상 결석: F 학점이 부여됨

■ 강의 (예정)

- 1 주: 오리엔테이션
- 2 주: Simulation 개념 및 도구: Altera MAX PLUS II
- 3 주: 논리 게이트
- 4 주: 추석 휴강
- 5 주: PCB 프로토타이핑 및 Power Plane 설계
- 6 주: PLD 의 이해와 실습
- 7 주: Beyond Simple Logic Gates
- 8 주: Flip-Flops and Registers
- 9 주: 중간고사
- 10 주: Counters
- 11 주: GAL, CPLD 를 이용한 FSM design
- 12 주: FSM Design Using Counters
- 13 주, 14 주, 15 주: Design Project

*진도에 따라 아래 내용 포함될 수 있음:

[Adder 와 SRAM], [Asynchronous Interface and Communication]

■ 과제물

- 1) 예비 보고서 [개인별 제출]
 - 실험 교재를 실험의 목표를 먼저 숙지하고, “실험 도움 자료”의 내용과 수업 시간에 배운 지식을 참고하여 실험 예비 보고서를 작성함.
- 2) 결과 보고서 [팀별 제출]
 - 수업 시간에 “실험 및 토론” 절에서 지시하는 실험을 수행 후, 실험 결과에 대하여 보고서 작성함.

■ 과제물 제출기한 및 벌점

- 예비 보고서는 실험 전에 제출함.
- 실험 중이나 실험 후 제출한 예비보고서는 0 점 처리함.
- 결과 보고서는 다음 실험 시 예비보고서와 함께 제출함.

■ 과제물 및 시험 부정 행위 시 처리 지침

시험 중 부정 행위가 적발 되는 경우에는 **이유없이 F학점**으로 처리됨.

과제물에 대한 부정 행위가 적발 되는 경우에는 **전 과제물**이 0 점 처리됨.